

**МІНІСТЕРСТВО ІНФРАСТРУКТУРИ УКРАЇНИ**

**Державна служба зв'язку**

**Одеська національна академія зв'язку ім. О.С. Попова**

**Кафедра програмного забезпечення мереж зв'язку**

**Методичні вказівки  
до виконання курсової роботи  
“МІКРОПРОЦЕСОРНА СИСТЕМА М68000”  
з дисципліни  
“Обчислювальна техніка та мікропроцесори”**

**Модуль 2  
Мікропроцесорні системи на універсальних  
мікропроцесорах та мікроконтролерах**

**Для студентів усіх форм навчання за напрямом вищої освіти  
0509-Радіотехніка, радіоелектронні апарати та зв'язок**

**Одеса – 2011**

Укладачі: *Ніколенко І.М., Нікіфоров Ю.О., Паску Д.Г.*

Методичні вказівки складено як посібник до виконання курсової роботи з дисципліни “Обчислювальна техніка та мікропроцесори. Курсова робота розглядається як аванпроект (розроблення логічної структури) мікропроцесорної системи (МПС) М6800 мінімальної конфігурації з базовим мікропроцесором МС68000 сімейства мікропроцесорів МС680Х0, які широко застосовуються в персональних комп’ютерах, мікроконтролерах та комунікаційних мікроконтролерах компанії “Motorola”. Використано модульний принцип розроблення логічної структури МПС. Розглянуто програмування периферійних пристроїв МС68230 та МС68681 на заданий режим обміну. Подано варіанти завдань і вказівки до оформлення курсової роботи.

ЗАТВЕРДЖЕНО  
методичною радою  
академії зв’язку.

Протокол № 8 від 11.02. 2011 р.

СХВАЛЕНО  
на засіданні кафедри  
програмного забезпечення  
мереж зв’язку  
і рекомендовано до друку.

Протокол № 9 від 20 квітня 2011 р.

Редактор – *Гусак В.Т.*

Комп’ютерне редагування та макетування – *Кірдогло Т.В.*

## ЗМІСТ

ЗАГАЛЬНІ ПОЛОЖЕННЯ.....	9
ВСТУП.....	13
1. МЕТА КУРСОВОЇ РОБОТИ.....	13
2. ЗАВДАННЯ ДО КУРСОВОЇ РОБОТИ.....	13
3. СТРУКТУРНА СХЕМА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ.....	15
4. ЛОГІЧНА СХЕМА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ .....	16
4.1. Блок мікропроцесора .....	19
4.2. Блок основної пам'яті .....	21
4.3. Блоки периферійних пристроїв.....	25
4.3.1. Блок паралельного інтерфейса-таймера.....	25
4.3.2. Блок подвоєного асинхронного приймача-передавача .....	26
4.4. Контролер шини .....	27
5. СТРУКТУРА ЛОГІЧНОЇ СХЕМИ МІКРОПРОЦЕСОРНОЇ СИСТЕМИ .....	28
6. ПРОГРАМУВАННЯ РЕЖИМІВ ПАРАЛЕЛЬНОГО ІНТЕРФЕЙСА- ТАЙМЕРА .....	28
6.1. Приклад ініціалізування регістрів паралельного інтерфейса-таймера...	31
ВИСНОВКИ.....	32
СПИСОК ОСНОВНОЇ РЕКОМЕНДОВОНОЇ ЛІТЕРАТУРИ.....	32
Додаток А.....	33
Додаток Б.....	34
Додаток В .....	35
Додаток Г.....	36

## I. Передмова

Загальна характеристика дисципліни: кількість кредитів ECTS 6; модулів – 2 ; курсова робота – 1; змістових модулів – 4; загальна кількість годин – 216; у тому числі: лекції – 32 год.; лабораторні заняття – 24 год.; практичні заняття - 8 год.; самостійна робота – 152 год.; вид контролю: поточний контроль знань за лекційним матеріалом; залік; іспит; контроль виконання комплексних завдань на практичних заняттях; оцінка за курсовий проект.

## II. Мета дисципліни

Дисципліна забезпечує базову підготовку студентів напряму 6.050903– Телекомунікації. Метою навчання з дисципліни “Обчислювальна техніка та мікропроцесори” є формування професійних умінь, відповідно до яких випускники можуть ставити та розв’язувати задачі, пов’язані з аналізом, розробкою та експлуатацією мікропроцесорних систем різного призначення, створенням та налагодженням програмного забезпечення до них.

## III. Зміст дисципліни

Змістом дисципліни є принципи побудови, функціонування засобів обчислювальної техніки та мікропроцесорних систем і застосування їх у телекомунікаційних системах.

Модуль 2. Мікропроцесорні системи на універсальних МП та мікроконтролерах. Програмування МПС. (3 кредити).

Вхідні вимоги до вивчення модуля

№	Зміст знань	Шифр
1	Знати принципи побудови і функціонування засобів обчислювальної техніки та мікропроцесорних систем	ЗН.6
2	Подавати та трактувати вхідні та вихідні чисельні дані для подальшого цифрового оброблення. Співвідносити логічні змінні та функції з цифровими сигналами, що їх реалізують	ЗН.7
3	Дискретне оброблення сигналів. Перетворення Фур’є	ЗН.8
	<b>Зміст умінь</b>	
1	Ставити та розв’язувати задачі, пов’язані з аналізом, розробленням та експлуатацією мікропроцесорних систем різного призначення	УМ.8
2	Подавати та трактувати вхідні та вихідні чисельні дані для подальшого цифрового оброблення	УМ.9
3	Співвідносити логічні змінні та функції з цифровими сигналами, що їх реалізують	УМ.10
4	Використовувати типові цифрові блоки, вузли та елементи для реалізації цифрових пристроїв	УМ.11

## Структура залікового модуля 2

Змістовний модуль	Лекції, год.	Заняття		Самостій- на робота (у тому числі ІНДЗ)	Індиві- дуальна робота
		Практичні	Лабораторні		
<b>Модуль 2:</b> (3 кредити; 108 год.)					
1. Мікропроцесорні системи (МПС) на універсальних мікропроцесорах та їх програмування	8	6	8	38	–
2. Мікропроцесорні системи на мікроконтролерах та DSP-процесорах та їх програмування	10	2	–	38	–
Разом 1 модуль, год.	18	8	8	76	–

### Зміст змістовних модулів (лекційних годин)

2.1. Мікропроцесорні системи (МПС) на універсальних мікропроцесорах та їх програмування. (8 год.).

2.1.1. Сімейство МП MC68XXX фірми “Motorola”. Програмні моделі МП MC68000 та 68020. Організація пам’яті та способи адресації операндів сімейства МП MC68XXX (2 год.).

2.1.2. Система команд МП MC68000. Приклади програм з різними типами адресації операндів у командах. (2 год.).

2.1.3. Принципи побудови МПС з завданими параметрами на МП MC68XXX. Розподіл адресного простору МПС на МП MC68XXX. Організація підсистеми пам’яті. (2 год.).

2.1.4. Організація підсистеми введення/виведення МПС на МП MC68XXX. (2 год.).

2.2. Мікропроцесорні системи на мікроконтролерах та DSP та їх програмування. (10 год.).

2.2.1. Типові мікроконтролери (МК) фірми “Motorola”: HC05, HC08, HC11. Структура типових МП фірми “Motorola”. (2 год.).

2.2.2. Приклади програмування типових МК. Налаштування вбудованих засобів. (2 год.).

2.2.3. RISC-процесори фірми “Motorola” (2 год.).

2.2.4. Архітектура та принципи побудови цифрових процесорів (DSP), їх особливості та області використання. Мікропроцесорні системи на основі DSP, універсальних МП та МК. (2 год.).

2.2.5. Використання процесорів DSP та мікропроцесорів фірми INTEL в телекомунікаціях. Програмна реалізація вузлів телекомунікаційного обладнання (2 год.).

### Теми практичних занять модуля 2

№	Тема	Годин
1	ПЗ № 1. Розроблення структурної схеми МПС за заданими параметрами	2
2	ПЗ № 2. Розроблення принципової схеми запам'ятовувального пристрою МПС із заданою організацією	2
3	ПЗ № 3. Розроблення програмного забезпечення RISC-процесорів фірми "Motorola"	2
4	ПЗ № 4. Розроблення програмного забезпечення DSP-процесорів	2

### Перелік лабораторних робіт модуля 2

	Тема	Годин
1	ЛР № 1. Вивчення системи команд МП 68XXX фірми "Motorola"	2
2	ЛР № 2. Організація розгалужених програм мовою Асемблер МП 68XXX	2
3	ЛР № 3. Організація циклічних програм мовою Асемблер МП 68XXX	2
4	ЛР № 4. Вивчення структури процесорного модуля і технологічних особливостей мікроконтролера 68HC05 фірми "Motorola"	2

### Вихідні знання та уміння з модуля 2

№	Зміст знань	Шифр
1	Ставити та розв'язувати задачі, пов'язані з аналізом, розробленням та експлуатацією мікропроцесорних систем різного призначення, створення та налагодження програмного забезпечення до них	ЗН.9
2	Подавати та трактувати вхідні та вихідні чисельні дані для подальшого цифрового оброблення. Співвідносити логічні змінні та функції з цифровими сигналами, які їх реалізують	ЗН.10
<b>Зміст умінь</b>		
1	Аналізувати та розробляти окремі вузли систем телекомунікацій, які використовують засоби обчислювальної техніки, мікропроцесори та мікроконтролери, використовувати типові цифрові блоки, вузли та елементи для реалізації цифрових пристроїв.	УМ.12

2	<p>Ставити та розв'язувати задачі, пов'язані з аналізом, розробленням та експлуатацією мікропроцесорних систем різного призначення, створенням та налагодженням програмного забезпечення до них. Аналізувати та розробляти окремі вузли систем телекомунікацій, які використовують засоби обчислювальної техніки та мікропроцесори. Використовувати типові цифрові блоки, вузли та елементи для реалізації цифрових пристроїв.</p> <p>Ставити та розв'язувати задачі, пов'язані з вибором засобів обчислювальної техніки, мікропроцесорів за їх технічними, експлуатаційними та економічними характеристиками для систем телекомунікацій</p>	УМ.13
---	--	-------

#### IV. Тематика курсового проектування

“Розроблення апаратної частин МПС на МП М68000 фірми “Motorola”

1. Мета курсової роботи.
2. Завдання до курсової роботи.
3. Структурна схема мікропроцесорної системи М68000.
4. Структура логічної схеми мікропроцесорної системи М68000.
5. Програмування режимів паралельного інтерфейсу таймера.

#### V. Методи навчання

Лекції з використанням технічних засобів, практичні та лабораторні заняття; виконання курсової роботи; використання методичного забезпечення з дисципліни та електронної бази даних кафедри.

#### VI. Методи оцінювання:

- поточний контроль знань з лекційного матеріалу;
- залік;
- іспит;
- контроль виконання індивідуальних завдань на практичних заняттях;
- захист протоколів виконання лабораторних робіт;
- захист курсової роботи;

Оцінювання проводиться за шкалою ECTS, національною та за шкалою ОНАЗ (100 бал.).

#### VII. Література

1. Цифровая и вычислительная техника: учеб. для вузов / [Евреинов Э.В., Бутыльский Ю.Т., Мамзев И.А. и др.]; под ред. Э.В. Евреинова. – М.: Радио и связь, 1997. – 464 с.
2. Мікропроцесорна техніка: Підруч.; за ред. О.Т. Терещенка. – К.: Видав. “Кондор”, 2004. – 440 с.
3. Антонов О.С. Обчислювальна техніка та мікропроцесори: навч. посіб. з дисципліни «Обчислювальна техніка та мікропроцесори» напряму Телекомунікації. – Частина I. / О.С. Антонов, І.В. Хіхловська. – Одеса, 2008. – 364 с.

4. Антонов О.С. Обчислювальна техніка та мікропроцесори: навч. посіб. з дисципліни «Обчислювальна техніка та мікропроцесори» напряму Телекомунікації. – Частина II. / О.С. Антонов, І.В. Хіхловська. – Одеса, 2008. – 200 с.
5. Комплексное задание и методические указания по его выполнению. – Часть 1. – Одесса, 1990. – 24 с.
6. Дослідження мікропроцесорних систем: методичне керівництво до лаб. робіт №1-7 з курсу «Мікропроцесори в техніці зв'язку» / І.О.Байдан, М.М. Кайманов. – 1996. – 26 с.
7. Вивчення архітектури та програмних моделей мікропроцесорів фірми Intel / І.В. Хіхловська, О.С. Антонов. – Одеса, 2000. – 16 с.
8. Сегментування пам'яті та способи адресування операндів у МП фірми INTEL / І.В. Хіхловська, О.С. Антонов. – Одеса, 2000. – 21 с.
9. Програмування мікропроцесорів фірми INTEL на мові Асемблер / І.В. Хіхловська, О.С. Антонов. – Одеса, 2000. – 24 с.
10. Порт послідовного передавання даних RS-232-C / І.В. Хіхловська, О.С. Антонов. – Одеса, 2000. – 15 с.
11. Шагурин И.И. Микропроцессоры и микроконтроллеры фирмы «Motorola»: Справ. пособ. / И.И. Шагурин – М.: Радио и связь, 1998. – 560 с.: ил.
12. Изучение директив монитора микроконтроллера фирмы «Motorola» M68EC0X0 I.D.P. / И. Е. Байдан. – Одесса, 2001. – 8 с.
13. Изучение структуры и способов адресации типовых команд процессора 68000 фирмы «Motorola» / И.Е. Байдан.– Одесса, 2001. – 16 с.
14. Изучение системы команд микропроцессоров семейства MC 68 XXX фирмы «Motorola» / И.Е. Байдан. – Одесса, 2001. – 12 с.
15. Вивчення структури та способів адресування типових команд мікропроцесора MC68020 EVM / О.Б. Коханов.– Одеса, 2000. – 16 с.
16. Програмування МП MC68020 фірми MOTOROLA. Організація розгалужених та циклічних програм: підпрограми / І.В. Хіхловська. – Одеса, 2001. – 24 с.
17. Лабораторная работа № МК 1.1. Изучение структуры, процессорного модуля и технологических особенностей микроконтроллера фирмы MOTOROLA M68HC705J. – Одесса, 2000. – 12 с.
18. Лабораторная работа № МК 1.2. Изучение системы команд и методов программирования микроконтроллера фирмы MOTOROLA M68HC705J. – Одесса, 2001. – 14 с.
19. Лабораторная работа № МК 1.3. Изучение встроенных аппаратных средств микроконтроллера M68HC705J фирмы MOTOROLA. – Одесса, 2000. – 17 с.
20. Методичні вказівки до курсової роботи «Мікропроцесорна система M68000» з дисципліни «Обчислювальна техніка та мікропроцесори» для спеціальностей 6.0924, 6.0907, 6.0925 / В.Ф.Літовкін. – Одеса, 2004. – 25 с.
21. Куприянов М. С. Цифровая обработка сигналов: процессоры, алгоритмы, средства проектирования / М.С. Куприянов, Б.Д. Матюшин. – [2-е изд., перераб. и доп.]. – С. Пб.: Политехника, 1999. – 592 с.: ил.
22. Солонина А. И. Цифровые процессоры обработки сигналов фирмы «Motorola» / А.И. Солонина, Д.А. Уласович, Л.А. Яковлев.– С. Пб.: БХВ-Петербург, 2000. – 512 с.: ил.
23. Лю Чжен-Ю. Микропроцессоры семейства 8080/8088 Лю Чжен-Ю, Г.Гибсон. – М.: Радио и связь, 1987. – 512 с.: ил.
24. Шагурин И.И. Современные микроконтроллеры и микропроцессоры «Motorola»: Справ. пособ. / И.И. Шагурин. – М.: Горячая линия – Телеком, 2004. – 952 с.: ил.



## ЗАГАЛЬНІ ПОЛОЖЕННЯ

Мікропроцесорною системою (МПС) називають сукупність інформаційно-обчислювальних засобів, куди входять один чи декілька мікропроцесорів.

Щоб побудувати МПС потрібно обмежений набір мікроелектронних ресурсів, тому що реалізація більшості функцій покладається на програмне забезпечення. Таким чином, МПС – це цифрові системи оброблення інформації й управління, функціональні можливості яких визначаються програмним забезпеченням, а взаємозв'язок із зовнішнім середовищем здійснюється периферійними пристроями (ПП) на основі МПС реалізують мікрокомп'ютери, особисті комп'ютери, інформаційні мережі, системи штучного інтелекту тощо.

Як і комп'ютер, МПС вміщує наступні пристрої:

- процесор, який виконує основні функції управління й оброблення інформації (ЦП);
- запам'ятовуючі пристрої напівпровідникових мікросхем, призначених для зберігання програм і даних (RAM, ROM);
- пристрої вводу-виводу які забезпечують взаємозв'язок із зовнішніми пристроями (КПП, ПП).

МПС будується за принципами “трьох М” – модульності, магістральності та мікропрограмованості (рис. 1).

Модулем називається функціональне, електрично– та конструктивно– завершений цифровий пристрій, який призначено для розв'язання задач певного типу: процесорний модуль, модуль пам'яті тощо. Модульний підхід спрощує процес проектування МПС, орієнтований на конкретні області використання, тобто найбільш ефективні, надійні, економічні.

Магістральний спосіб обміну інформацією в МПС реалізується у вигляді шинної організації, яка здійснює зв'язки між підсистемами МПС шинами (електричними лініями). Магістральність забезпечує регулярність структури МПС, можливість масштабування, змінення конфігурації, мінімізує кількість зв'язків між окремими пристроями. Зазвичай більшість універсальних мікропроцесорів забезпечують при побудові МПС тришинну організацію за допомогою шин адреси (ША), шини даних (ШД) та шини керування (ШК), які утворюють системну шину.

Мікропрограмне керування може забезпечити найбільшу гнучкість у застосуванні МПС, але частіше використовують командний рівень керування через складність мікропрограмування.

Конкретний склад і структура МПС визначається її призначенням. В однопроцесорних системах усі функції оброблення інформації та керування виконує один процесор. У багатопроцесорних системах існує низка рівнозначних процесорів чи один центральний і декілька підпорядкованих до розв'язання спеціалізованих задач (арифметики з плаваючою комою, операцій вводу-виводу). У багатопроцесорних МПС може бути загальна системна пам'ять і локальна (резидентна) пам'ять окремих процесорів.

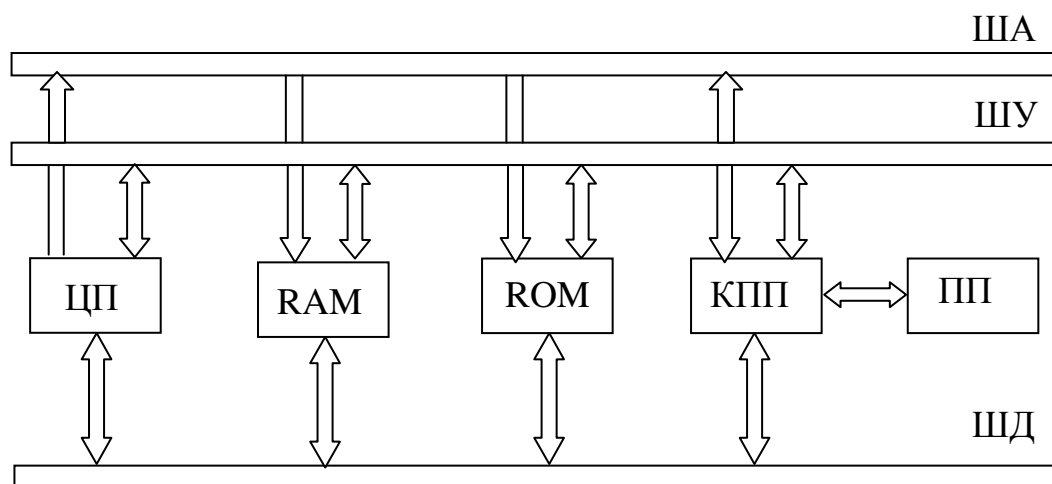


Рисунок 1 – Схема електрична структурна МПС

(ЦП – центральний процесор; RAM і ROM – оперативна і постійна пам'ять; КПП і ПП – контролер периферійних пристроїв і периферійні пристрої)

Мікропроцесор у МПС обробляє інформацію трьох типів: дані, адреси і команди програми. До виконання цих функцій мікропроцесор утримує засоби оброблення даних та адресу й їх зберігання у регістрах; схеми мікропрограмного управління, синхронізації і забезпечення режимів роботи.

Внутрісистемний інтерфейс частіше всього реалізують на основі загальної системної шини, якою передається адреса, дані і команди. Системна шина може мати окремі шини для адрес і даних або сумісних шин адрес/даних, які передаються мультіплексним засобом.

В однопроцесорних МПС системна шина (ШД, ША, ШУ) управляється одним процесором (шина одного користувача). У багатопроцесорних МПС системна шина використовується у режимі розповсюдження часу. В них може застосовуватись багатшинна структура: загальна системна шина і декілька резидентних для окремих процесорів.

Мікропроцесорні системи поділяються на універсальні, спеціалізовані та багатопроцесорні (рис. 2).

Універсальні МПС орієнтовані на розв'язання широкого класу задач. Найбільш відомі мікро-ЕОМ – комп'ютер малих розмірів на основі мікропроцесора, напівпровідникової пам'яті і засобів зв'язку з зовнішнім середовищем. У настільному виконанні мікро-ЕОМ мають єдину несучу конструкцію, пульт управління і джерела живлення. Ряд одно-або двоплатних мікро-ЕОМ вбудовують у технічні системи, в яких вони виконують функції керування, контролю та діагностики. На основі модифікацій мікро-ЕОМ створенні наступні комп'ютери:

- особисті (ОЕОМ), розрахованні на масового користувача;
- робочі станції – автоматизовані робочі місця для конструкторів;
- сервери – виконують частину функцій обслуговуючої групи користувачів (розподіл ресурсів пам'яті, принтерів, баз даних);
- менфрейми (менфрейм – синонім поняття “великий універсальний комп'ютер”);

– X – термінали – комбінації бездискових робочих станцій і стандартних терміналів;

– кластерні системи – об'єднання машин з єдиним механізмом керування і програмного забезпечення. Кластерні МПС дуже надійні в роботі – при відмові одного процесора його функції перерозподіляються між іншими процесорами. Взагалі кластерні системи забезпечують розподіл ресурсів, високу готовність, зручність розподілу конфігурації.

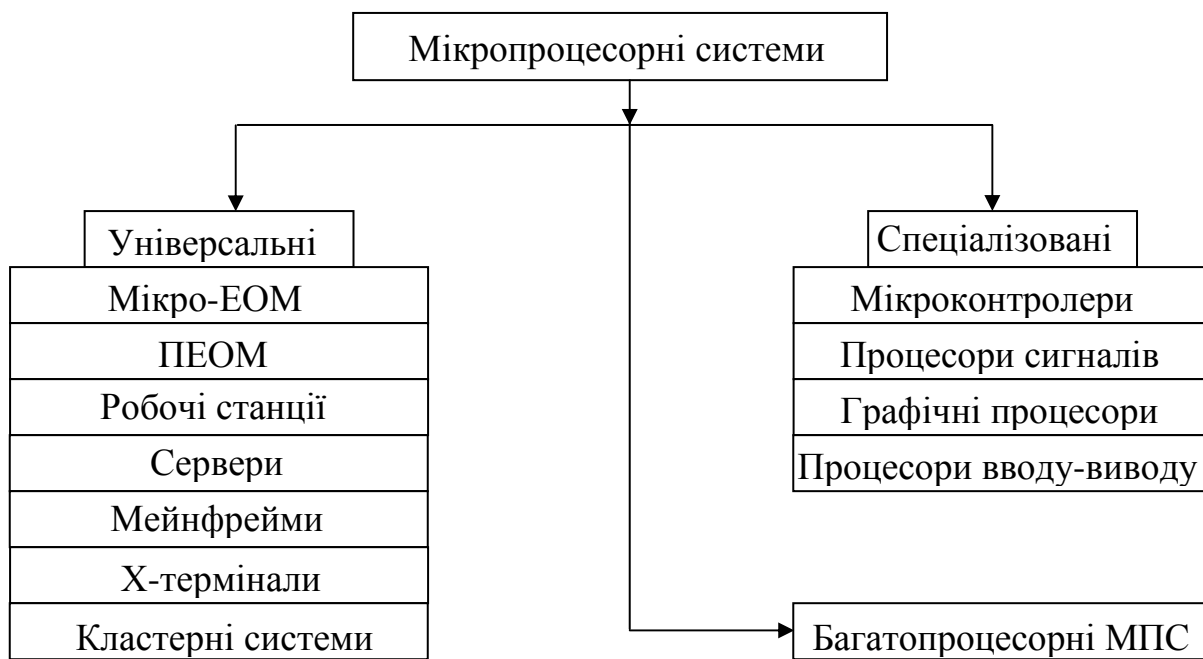


Рисунок 2 – Склад мікропроцесорних систем (ЕОМ – електронна обчислювальна машина; ПЕОМ – персональна ЕОМ)

Багатопроцесорні МПС призначені для розпаралелювання обчислювального процесу, що забезпечує високу працездатність системи.

Спеціалізовані МПС орієнтовані на розв'язування спеціалізованих задач управління або оброблення інформації у складі технічних систем (мікрокомп'ютери), цифрового оброблення сигналів (процесори сигналів), оброблення графіки (графічні процесори). Їх апаратні засоби реалізують у вигляді одноплатних конструкцій або наборів, плат, з'єднаних внутрісистемним інтерфейсом.

Універсальні МПС орієнтовані на розв'язування широкого кола обчислювальних задач. Працюють вони в автономному режимі і містять широкий набір ПП.

Багатопроцесорні системи забезпечують функціонування багатьох процесорів під сумісним керуванням.

Основними технічними характеристиками МПС є: розрядність, ємність пам'яті, працездатність, число зовнішніх пристроїв і їх пропускна здатність, функції системи і склад програмного забезпечення.

Програмне забезпечення МПС сприяє ефективному функціонуванню і використанню системи в різних областях науки і техніки. Основними

складовими програмного забезпечення є операційні системи (ОС), пакети прикладних програм (ППП) і комплекси програм технічного обслуговування (КПТО) (рис. 3).

Обмін даними між МПС та зовнішніми пристроями може реалізовуватись трьома способами: програмно-керованим, за перериваннями та прямим доступом до пам'яті (ПДП).



Рисунок 3 – Склад програмного забезпечення МПС

## ВСТУП

Десь наприкінці 70-х років ХХ ст. виникло поняття „сімейство мікропроцесорів” (МП), як вид МП з єдиною базовою архітектурою. Сімейство МП МС680Х0 компанії “Motorola”, які широко використовуються в персональних комп’ютерах (ПК), мікроконтролерах (МК) та комунікаційних МК (КМК) різноманітного призначення, має базову архітектуру, вперше реалізовану в МС68000. Ця архітектура має загальний для всіх моделей сімейства комплект регістрів, доступних користувачеві, набір єдиних способів адресації, а також базову систему команд, яка зі збереженням програмної сумісності „знизу вверх” доповнюється у наступних моделях. У МП сімейства загальними також є принципи звертання до пам’яті та реалізація інтерфейсу з іншими пристроями у системі.

Незважаючи на тривалу історію та мінімальні зміни, МС68000 та інші представники численних сімейств МС680Х0, МС683ХХ тощо залишаються одними з найпопулярніших МП, широко застосовуваних у різноманітних обчислювальних пристроях, зокрема в КМК.

Курсову роботу присвячено розробленню логічної структури мікропроцесорної системи (МПС) з базовим МП МС68000 сімейства МС680Х0, яка реалізує програмний обмін з периферійними пристроями.

### 1. МЕТА КУРСОВОЇ РОБОТИ

Виконання курсової роботи має на меті вивчення та застосування на практиці принципів розроблення логічної структури МПС мінімальної конфігурації з базовим процесором МС68000. Такий підхід має бути першим поштовхом і надбанням для подальшого розроблення МПС різноманітної конфігурації з МП компанії “Motorola” та ін.

### 2. ЗАВДАННЯ ДО КУРСОВОЇ РОБОТИ

На підставі складеної структурної схеми розробити логічну структуру (ЛС) МПС з МП МС68000. Спосіб обміну даними – програмний, формат обміну – паралельний та послідовний, що забезпечується застосуванням інтегральних мікросхем (ІМС) МС68230 (паралельний інтерфейс/таймер – ПІ/Т) та МС68681 (подвоєний асинхронний приймач/передавач – ПАП/П). Для оптимального використання адресного простору застосовують його апаратне сегментування (сегменти ПЗП, ОЗП, периферійних пристроїв). З цією метою, залежно від варіанта завдання (табл. 2.1), можуть бути використані сегменти основної пам’яті (ОП) величиною загальної ємності 8 Кбайт×8 біт, 16 Кбайт×8 біт, 32 Кбайт×8 біт, 64 Кбайт×8 біт [8 Кбайт, 16 Кбайт, 32 Кбайт, 64 Кбайт – кількість комірок кожної ОП: 8000 шт., 16000 шт., 32000 шт., 64000 шт., тобто це ємність адресних просторів ОП, а 8 біт – це розрядність кожної комірки ОП].

Таблиця 2.1 – Варіанти завдання

Варіант	Ємність адресного простору ПЗП, Кбайт	Ємність адресного простору ОЗП, Кбайт	Кількість ПИ/Т; режим обміну	Кількість ПАП/П
1	32	96	1; 00, A↓ B↓	1
2	64	128	2; 00, A↑ B↑	2
3	16	48	1; 00, A↑ B↓	2
4	8	32	1; 00, A↓ B↑	1
5	64	192	1; 01, A↓ B↓	2
6	32	32	2; 01, A↑ B↑	2
7	16	16	2; 01, A↓ B↑	2
8	16	8	2; 01, A↑ B↓	2
9	64	64	2; 1x, A↓ B↓	2
10	96	96	2; 1x, A↑ B↑	2
11	32	128	1; 1x, A↓ B↓	1
12	128	128	2; 1x, A↑ B↑	2
13	128	192	1; x0, AB↑	1
14	8	24	1; x0, AB↓	1
15	8	8	1; x1, AB↑	1
16	8	16	1; x1, AB↑	2
17	8	64	1; 2, A↑	1
18	48	64	1; 2, A↓	1
19	16	32	1; 2, B↑	2
20	32	64	1; 2, B↓	2
21	4	24	1; 3, AB↑	1
22	24	64	1; 3, AB↓	1
23	48	96	1; 00, A↑	1
24	96	96	1; 01, A↓	2
25	32	128	1; 1x, A↑	1
26	16	96	1; 1x, B↑	1
27	32	16	2; x0, AB↓	1
28	48	128	1; x0, AB↑	1

ПЗП – постійний запам'ятовувальний пристрій;  
ОЗП – оперативний запам'ятовувальний пристрій;  
ПИ/Т – паралельний інтерфейс/таймер;  
ПАП/П – подвоєний асинхронний приймач/передавач.  
Режими обміну через ПИ/Т: 0 (підрежими 00,01,1X); 1(X0,X1); 2; 3.  
Напрямок передавання даних через порти А та В позначено:  
введення – відповідно A↓, B↓; виведення – A↑, B↑. Наприклад, запис 00, A↓ B↑ означає підрежим 00 режиму обміну 0: через порт А вводяться дані, через В – виводяться;  
запис 2, A↓ означає введення через порт А в режимі 2

Розробці підлягають блок МП, блок ОП, блоки ПІ/Т та ПАП/П, контролер шини та загальна логічна структура МПС.

Має бути складено фрагмент програми ініціювання ПІ/Т на заданий режим обміну даними. Курсова робота розглядається як аванпроект до подальшого технічного розроблення МПС. На цьому етапі не враховуються деякі параметри, зокрема часові та навантажувальні.

### 3. СТРУКТУРНА СХЕМА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ

Структурна схема будь-якого цифрового пристрою (системи) зображується у вигляді прямокутників – закінчених функційних модулів-блоків, поєднаних між собою прямими лініями основних сигналів [1].

Структурна схема МПС М68000 (рис. 3.1) має тришинну організацію і включає блок процесора (мікропроцесор МС68000 та генератор тактових імпульсів ГТІ), шину адреси ША ( $A_{23}...A_1$ ), шину даних ШД ( $D_{15}...D_0$ ), шину керування ШК (кількість ліній шини керування визначається після конфігурації логічної структури МПС), основну пам'ять ОП, інтерфейс та модулі введення/виведення зі схемами доступу та контролер шини КШ.

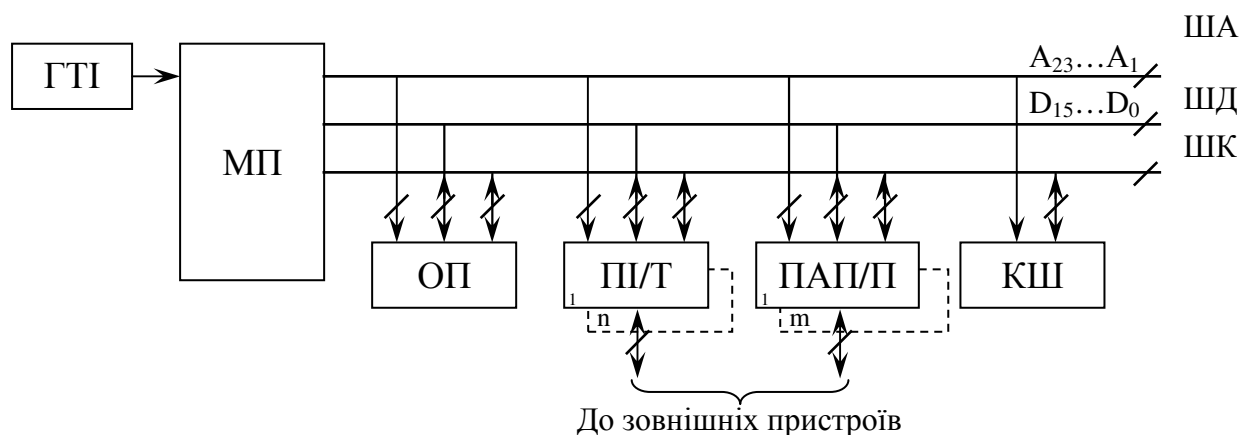


Рисунок 3.1 – Схема електрична структурна МПС

МПС розраховано на програмний обмін даними із зовнішніми пристроями (ЗП), який зорганізовується за допомогою периферійних пристроїв (ПП) – модулів спряження МС68230 (програмований паралельний інтерфейс/таймер ПІ/Т) та МС68681 (програмований подвоєний універсальний асинхронний приймач/передавач ПАП/П); кількість таких модулів визначається варіантом завдання. ША, ШД та ШК, до яких підключається ПП, утворюють системну шину (СШ) МПС. Інтерфейс МП з СШ загалом організовується за допомогою одно-, двонаправлених шинних формувачів (ШФ) та схем на логічних елементах (ЛЕ). Головне призначення такого інтерфейсу – узгодження навантажувальної здатності відповідних виходів МП зі споживаною потужністю входів СШ. За допомогою спеціальних логічних схем між СШ та ОП, ПІ/Т, ПАП/П організується інтерфейс доступу й читання даних. За допомогою контролера шини (КШ) здійснюється блокування помилкового

адресного звернення шляхом апаратного переривання виконання поточної програми. Генератор тактових імпульсів формує одну чи дві послідовності тактових (синхронізуючих) імпульсів, використовуваних для синхронізації МП та інших пристроїв МПС.

#### 4. ЛОГІЧНА СХЕМА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ

Кінцевою метою курсової роботи (КР) є розроблення логічної структури МПС – початкового етапу проектування МПС. На цьому етапі навантажувальні й часові характеристики окремих елементів та вузлів МПС не враховують і тому ШФ можуть бути відсутні в логічній структурі МПС (ШФ застосовуються, якщо виходи МП мають недостатню навантажувальну здатність). Зазначені параметри враховуються на етапі розроблення принципової електричної схеми МПС, який не є метою курсової роботи [1].

У МПС М68000 доцільно застосувати апаратне (на відміну від програмного в МПС з МП 86) сегментування адресного простору ОП. Адресний простір ОП визначається завданням до КР і рівномірно розподіляється між сегментами, відтак додається адресний простір сегмента ПП. Таке сегментування передбачає при організації доступу до адресованих об'єктів паралельне декодування кодів певних груп бітів (розрядів) адреси, що певною мірою скорочує час звертання до комірок ОП та регістрів ПП [2].

З урахуванням завдань до КР та структури МПС доцільно подати адреси  $A_{23}...A_0$  у вигляді сукупності груп бітів  $N_5N_4N_3N_2N_1A_0$ , кожна з яких має певне функційне призначення.

$N_5$  – група старших бітів адреси, які утворюють однаковий код за адресного звертання до будь-яких об'єктів в МПС. При відхиленні від заданого коду  $N_5$  адреса блокується (контролером КШ формується сигнал переривання роботи МП).

Група бітів  $N_4$  визначає звертання до певних сегментів.

$N_3N_2N_1$  – група молодших бітів адреси, яка визначає внутрішньо сегментні адреси комірок пам'яті (КП) у сегментах ОП.

При звертанні до сегмента ПП група бітів  $N_3$  відтворює один і той самий фіксований код при звертанні до будь-якого ПП, код  $N_2$  визначає певний ПП, а код  $N_1$  ( $A_5...A_1$ ) – внутрішню адресу певного регістра обраного ПП.

Щоб уникнути неоднозначності при звертанні до регістрів ПАП/П, треба зафіксувати  $A_5$ , оскільки адреси його регістрів визначаються бітами  $A_4...A_1$ .  $A_0 = 0$  при передаванні слова або старшого байта і  $A_0 = 1$  – при передаванні молодшого байта.

Відхилення від заданого фіксованого значення коду групи бітів  $N_3$  (в разі звертання до ПП), а також від фіксованого рівня  $A_5$  при звертанні до ПАП/П має спричинювати блокування відповідного адресного звертання.

У МПС М68000 використовується словникове адресне звертання одночасно до двох байтових комірок пам'яті (КП), розташованих у двох банках ОП – банку молодшого байта, виконавчі адреси КП якого мають  $A_0 = 1$ , й банку старшого байта, виконавчі адреси КП якого відповідають  $A_0 = 0$ .



Приклад розподілу заданого завданням адресного простору МПС. Нехай заданий адресний простір поділено між однаковими за адресним обсягом двома сегментами (блоками) ОП та одним сегментом трьох ПП, а адресований простір одного сегмента ОП становить  $32 K = 2^{15}$ . В такому разі внутрішньосегментна адресація КП в обох банках сегментів ОП здійснюватиметься групою бітів  $A_{14} \dots A_1$  ( $N_3 N_2 N_1$ ), оскільки  $16 K = 2^{14}$  (14-розрядні внутрішньосегментні адреси КП).

Розрядність  $K$  коду  $N_4$  визначається за виразом  $2^{K-1} < m \leq 2^K$ , де  $m$  – кількість сегментів. При  $m = 3$  у розглядуваному прикладі  $K = 2$ , а коди номерів трьох сегментів визначатимуться відповідно до комбінацій значень двох бітів  $A_{16}$  та  $A_{15}$ . Це такі комбінації: 00 (сегмент ОЗП), 01 (сегмент ПЗП), 10 (сегмент ПП). У такому разі адреси з  $N_4 = 11$  мають блокуватися.

Код  $N_5$  (біти  $A_{23} \dots A_{17}$ ) адреси має бути зафіксовано. Нехай  $N_5 = 0000000$ . Тоді виконавча адреса будь-якої словникової комірки першого сегмента ОП (ОЗП) буде  $000000000A_{14} \dots A_1 0$ , другого сегмента ОП (ПЗП) –  $000000001A_{14} \dots A_1 0$ .

У разі звертання до певного ПП код  $N_4$  буде 10. Код  $N_2$  визначається комбінацією значень бітів  $A_7 A_6$  (три ПП), а код  $N_3$  – фіксованою комбінацією значень бітів  $A_{14} \dots A_8$ , наприклад  $N_3 = 0000000$ . Звертання за адресами з  $N_2 = 11$  мають блокуватись. В адресах звертання до ПАП/П має фіксуватись значення біта  $A_5$ , наприклад  $A_5 = 0$ .

Нехай  $N_2 = 00$  визначає ПП/Т,  $N_2 = 01$  визначає 1-й ПАП/П, а  $N_2 = 10$  визначає 2-й ПАП/П. Тоді непарна адреса

$$0000.0001.0000.0000.1000.0001_2 = \$010081$$

буде виконавчою адресою звертання до 8-бітового регістра №0000 у 2-му ПАП/П в разі фіксації  $A_5$  на нульовому рівні. Звертання до ПАП/П блокується, якщо  $A_5$  набуває значення логічної одиниці. Непарна адреса використовується при передаванні молодшого байта.

При розробленні логічної структури МПС використовується модульний принцип проектування МПС [1], за яким на логічно-функційному рівні розробляються структури окремих модулів-блоків, а також внутрішньосистемний інтерфейс МПС у цілому. МП керує функціонуванням МПС і тому розроблення блока МП доцільно розглянути першим.

#### 4.1. Блок мікропроцесора

До цього блока входять МП MC68000 (CPU), генератор тактових імпульсів (GN) та допоміжні ланцюжки.

МП MC68000 [2] взаємодіє під час обміну даними з ОП й периферійними пристроями через СШ, до якої вони підключаються і яка складається з 23-бітової шини адреси (ША), 16-бітової шини даних (ШД) та шини керування (ШК). Кількість задіяних ліній ШК залежить від структури МПС. Адреса, яка

передана ША, забезпечує вибір певного модуля й доступ у ньому до певної КП чи регістра ПП, з яких за допомогою певних керуючих сигналів здійснюється читання чи в які записуються дані через ШД. Виводи Vcc та GND (рис. 4.1) слугують для підключення джерела живлення напругою +5 В.

На виводах  $A_{23} \dots A_1$  діють коди, які забезпечують словникову адресацію. При цьому передавання слова чи певного байта ШД визначається відповідними комбінаціями значень керуючих сигналів  $\overline{UDS}$  та  $\overline{LDS}$ .

Через виводи  $D_{15} \dots D_0$  здійснюється передавання команд та даних. Інші виводи призначено для передавання керуючих сигналів, які функційно поділяються на декілька груп. Якщо активний стан сигналу задається низьким рівнем, то над його позначенням є риска, інакше – без риски.

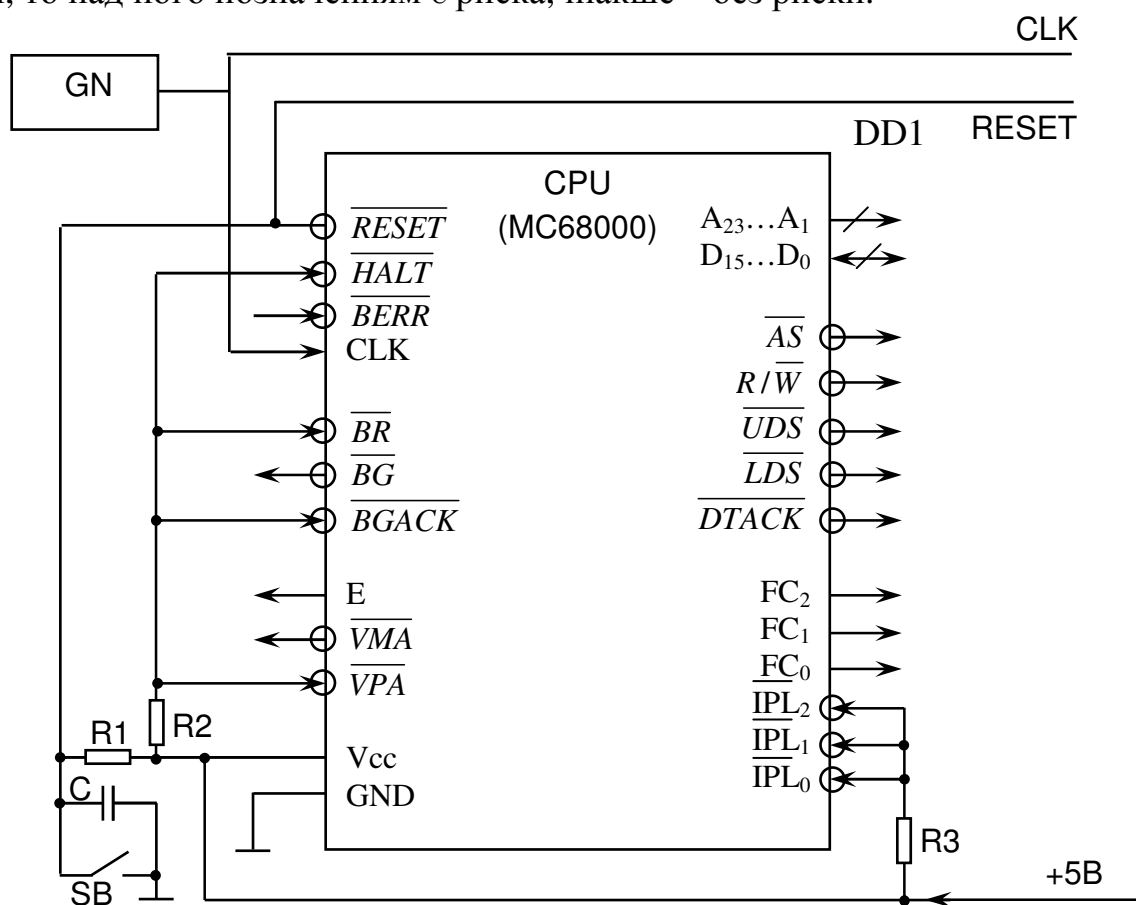


Рисунок 4.1 – Схема електрична структурна блока мікропроцесора

*Системні сигнали.* CLK – тактовий сигнал синхронізації, період якого визначає тривалість такту машинного циклу. CLK узгоджує в часі функціонування вузлів та блоків МП і супроводжує обмін у МПС.  $\overline{RESET}$  – сигнал скидання.

Зовнішній сигнал системного скиду  $\overline{RESET} = 0$  викликає системне переривання виконання поточної програми. При цьому вміст регістрів адрес та даних набуває нульового значення. У регістрі ознак SR установлюється значення прапорця  $S = 1$  (режим супервізора), а інші прапорці набувають значення 0. Із КП з адресою \$000 здійснюється завантаження початкового значення покажчика SSR супервізора, а з КП з адресою \$004 – вмісту PC –

початкової адреси програми, яка виконує завантаження певних початкових значень вмісту SR, регістрів адрес та даних, а також завантаження (ініціалізації) регістрів інших пристроїв. Зовнішній сигнал  $\overline{RESET}$  зазвичай формується під час ввімкнення живлення чи натискання клавіші SB у схемі скидання, умовно зображеної на рис. 4.1. Сигнал  $\overline{RESET} = 0$  формується також при виконанні привілейованої команди RESET, яка переводить до початкового стану інші пристрої МПС. Вхідний сигнал  $\overline{HALT} = 0$  зупиняє (зупин) виконання поточної програми, переводить виводи  $A_{23} \dots A_1, D_{15} \dots D_0$  до високоімпедансного стану (третьої стан), а виходи керуючих сигналів – до неактивного стану. З аналогічною реакцією МП формує вихідний сигнал  $\overline{HALT} = 0$  наразі подвійної помилки шини (дворазове підряд надходження сигналу  $\overline{BERR} = 0$ ), вихід із стану зупинки відбувається при надходженні зовнішнього сигналу  $\overline{RESET} = 0$  або переривання.

Сигнал помилки звертання до шини  $\overline{BERR} = 0$  формується контролером шини, який виявляє помилки звернення за адресами неприєднаних модулів ОП чи периферійних пристроїв, а також за тривалої відсутності сигналу готовності до обміну  $\overline{DTACK} = 0$  від ПП чи ОП тощо.

*Сигнали керування обміном.*  $\overline{AS}$  – адресний строб, який своїм активним рівнем  $\overline{AS} = 0$  у тактах  $S_0$  та  $S_1$  в циклі обміну супроводжує адресу на ША (рис. 4.2).  $R/\overline{W}$  – сигнал, який визначає напрям обміну ШД: уведення до МП (читання) – за  $R/\overline{W} = 1$ ; виведення з МП (запис), якщо  $R/\overline{W} = 0$ .  $\overline{UDS}$  (передавання старшого байта),  $\overline{LDS}$  (передавання молодшого байта) – сигнали, які визначають довжину даних на ШД. Рівні  $\overline{UDS} = 0, \overline{LDS} = 0$  визначають передавання слова. Молодший байт передається, якщо  $\overline{UDS} = 1$  та  $\overline{LDS} = 0$ , старший –  $\overline{UDS} = 0, \overline{LDS} = 1$ . Вхідний сигнал готовності до обміну  $\overline{DTACK} = 0$  надходить, якщо периферійний пристрій чи пам'ять – об'єкти звертання – є готові до обміну. Інакше –  $\overline{DTACK} = 1$ .

*Сигнали керування захопленням шини.* Ці сигнали визначають порядок використання системної шини (надалі шини) пристроями системи. У режимі захоплення шини МП від'єднується від шини, а керування обміном здійснює інший пристрій. Найчастіше – це режим прямого доступу до пам'яті (ПДП), коли здійснюється обмін між основною пам'яттю (ОП) та яким-небудь зовнішнім пристроєм великими обсягами даних без участі МП.  $\overline{BR}$  – вхідний сигнал запиту від зовнішнього пристрою на захоплення шини. Якщо  $\overline{BR} = 0$ , МП завершує поточний цикл обміну, призупиняє виконання команди й переводить виводи  $A_{23} \dots A_1, D_{15} \dots D_0$  до високоімпедансного стану, а виходи керувальних сигналів – до неактивного стану.  $\overline{BG}$  – вихідний сигнал дозволу захоплення шини, котрий набуває значення  $\overline{BG} = 0$  після роз'єднання МП з шиною.  $\overline{BGACK}$  – вхідний сигнал підтвердження захоплення шини. Після отримання  $\overline{BG} = 0$  пристрій, який запитав дозволу на захоплення шини, надсилає до МП сигнали  $\overline{BGACK} = 0$ , скасовує запит на захоплення ( $\overline{BR} = 1$ ) й переходить до керування шиною. Після завершення обміну, вказаний пристрій надсилає сигнал  $\overline{BGACK} = 1$ . Потім МП переходить до виконання перерваної команди.

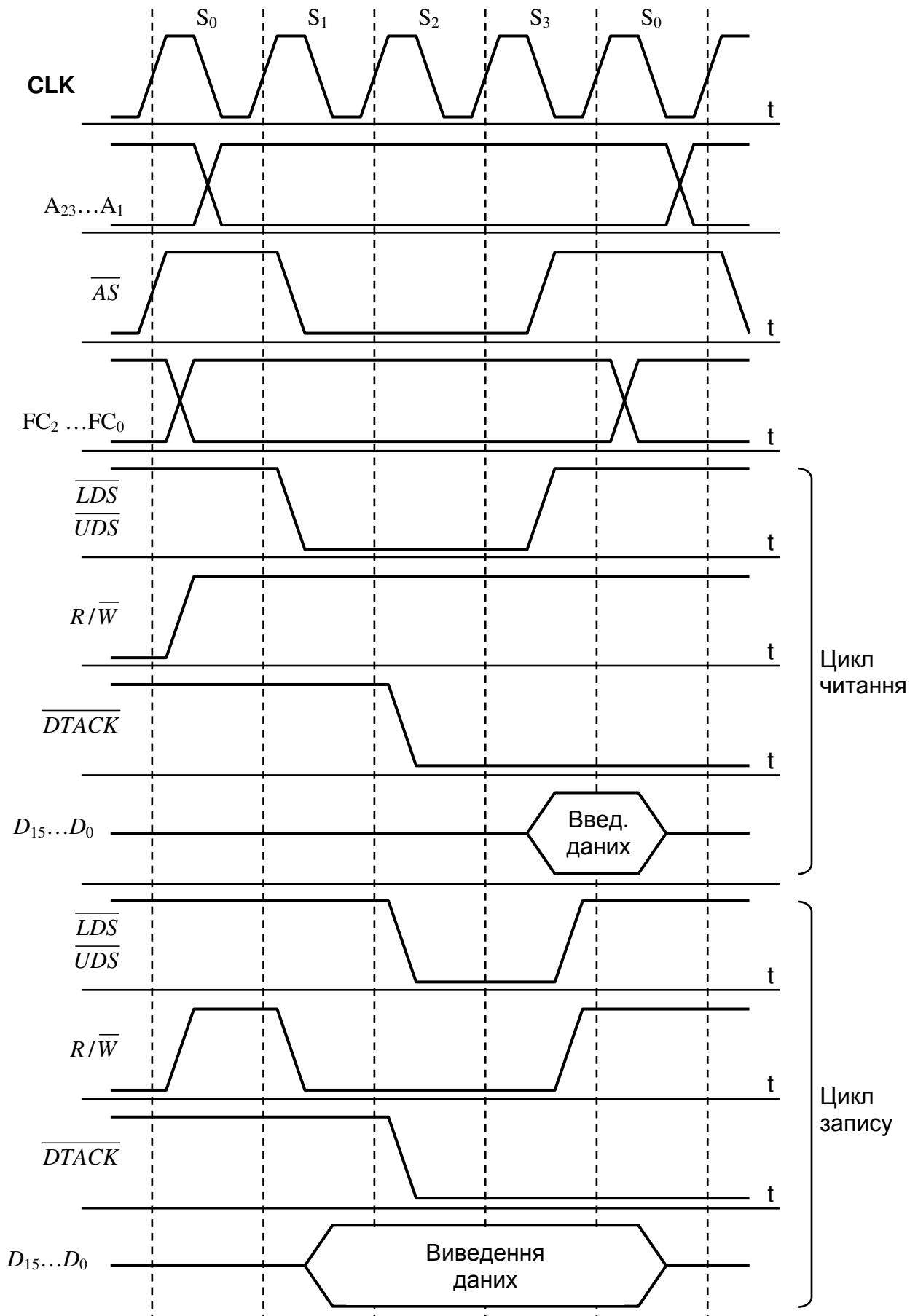


Рисунок 4.2 – Часові діаграми роботи МП MC68000 у циклах запису та читання

Сигнали керування обміном з повільнодіючими ПП. Вихідний сигнал  $E$  – тактовий сигнал для ПП, частота якого є вдесятеро менша за частоту сигналу CLK. На вхідний сигнал від ПП готовності до обміну  $\overline{VPA} = 0$  МП установлює сигнал  $\overline{VMA} = 0$ , відтак відбувається пересилання даних зі збільшеним часом введення чи виведення. Адреси  $A_{23} \dots A_1$  й сигнали  $\overline{AS}$  та  $R/\overline{W}$  формуються як і за звичайного програмного обміну. Мінімальна тривалість циклу обміну становить десять тактів.

Вихідні сигнали  $FC_2 \dots FC_0$ . Трирозрядний код  $FC_2 \dots FC_0$  визначає тип виконуваного циклу. Відповідні комбінації бітів указанного коду використовуються для розподілу банків даних між супервізором та користувачем, формування сигналу підтвердження переривання  $\overline{INTA}$ , а також дозволяють ідентифікувати поточний стан МП у перебігу настроювання МПС.

Вхідні сигнали  $IPL_2 \dots IPL_0$ . Трирозрядний код  $IPL_2 \dots IPL_0$ , який надходить від пріоритетного шифратора, визначає певну підпрограму обслуговування запиту на переривання. Код 111 означає відсутність запиту на переривання.

Режим обміну визначає, які виводи керуючих сигналів залишаються незадіяними. Щоб захистити МП від завад, на таких вхідних виводах у цьому разі мають постійно діяти неактивні логічні рівні.

На рис. 4.1 всі незадіяні входи – інверсні, тому на них умовно показано подавання неактивного високого рівня через резистори R від джерела живлення +5 В. Генератор тактових імпульсів GN формує послідовності тактових імпульсів для МП та ПП.

## 4.2. Блок основної пам'яті

Для побудови блока основної пам'яті ОП використовуються стандартні модулі ПЗП та ОЗП. При зображенні схеми блока ОП доцільно застосовувати умовно-графічне позначення (УГП) вказаних модулів, як подано на рис. 4.3.

На рис. 4.3:  $A$  –  $N$ -розрядний адресний вхід; DIO – об'єднаний  $M$ -розрядний вхід-вихід даних;  $\overline{CS}$  – вхід сигналу «вибір модуля»;  $\overline{DE}$  – вхід сигналу «ввімкнення модуля»;  $R/\overline{W}$  – вхід сигналу «читання/запис»; DO –  $M$ -розрядний вихід даних. У схемі блока ОП  $N$  та  $M$  подаються відповідними позначеннями бітів адреси й даних, які діють на виводах  $A$ , DIO та DO.

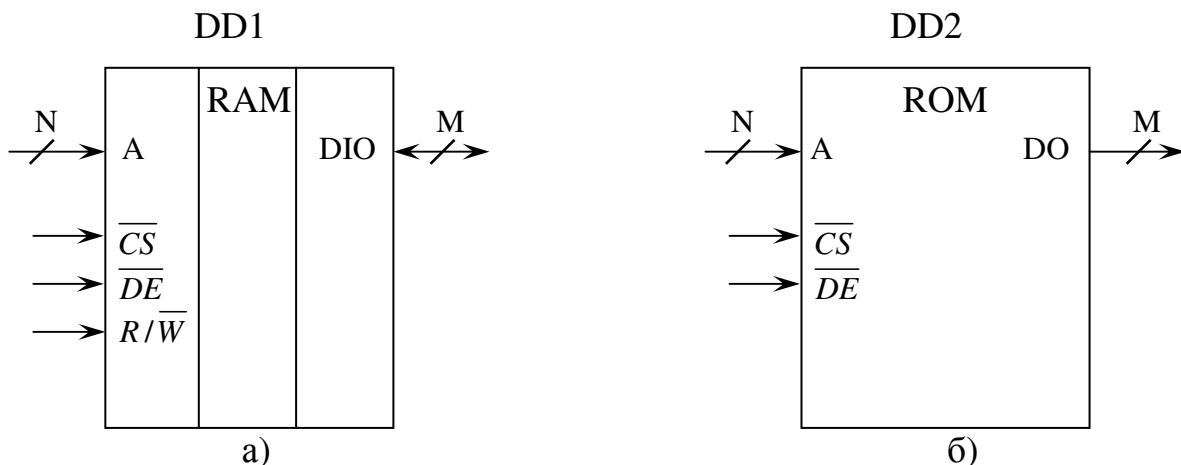


Рисунок 4.3 – УГП модулів ОП: а – ОЗП; б – ПЗП

Кількість сегментів ОП бажано мати мінімальною за їхньої однакової місткості. Кожний сегмент має складатись з двох однакових банків-модулів, місткість яких рекомендовано визначати як  $2^n$  кбайт ( $n = 1, 2, 3, 4, 5, 6$ ).

Розглянемо конкретний приклад побудови блока ОП. На рис. 4.4 зображено структурну схему блока ОП, яка складається з двох двобанкових сегментів ПЗП та ОЗП місткістю 32 кбайт кожний, комірки пам'яті яких адресовано бітами  $A_{14} \dots A_1$ . Вибір (адресне звертання) певного сегмента здійснюється за допомогою дешифратора DC1. Інформаційні входи DC1 відповідно з'єднані з лініями ША, на яких діє група бітів N4 ( $A_{16} A_{15}$ ).

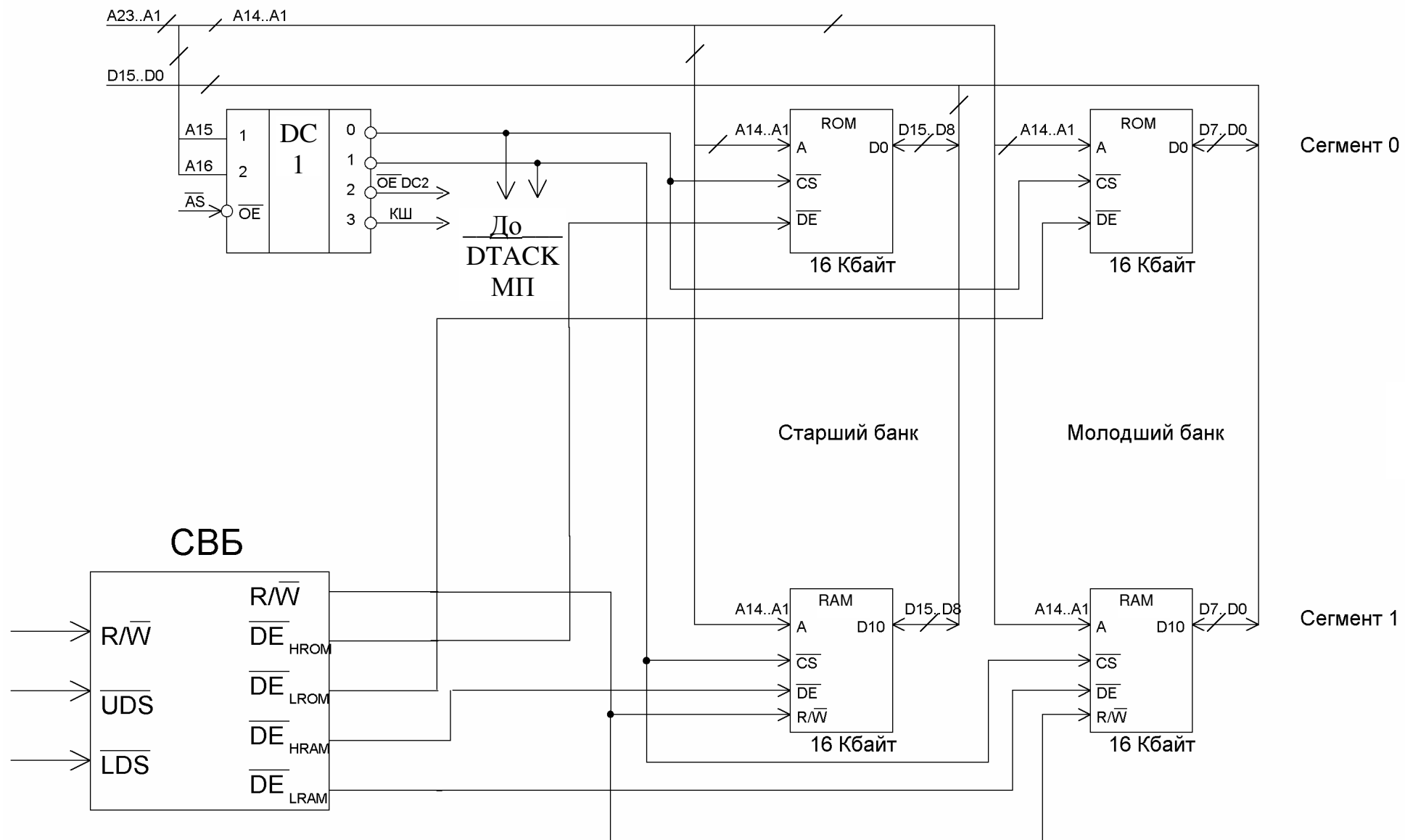
Розрядність коду N4 визначається загальною кількістю сегментів (включно із сегментом ПП). На вхід  $\overline{OE}$  подається з МП керуючий сигнал  $\overline{AS}$ , який активізується у тактах  $S_1 \dots S_3$  (див. рис. 4.2) циклів читання та записування. Два виходи 0 і 1 DC1 з'єднано зі входами  $\overline{CS}$  модулів банків відповідних сегментів ОП. Активний рівень з виходу 1 DC1 призначено для вибору сегмента ПП.

Активні рівні з інших незадіяних виходів DC1 блокуються КШ. У розглядуваному прикладі блокується дія активного рівня з виходу 3 DC1. Активні рівні з виходів 0 і 1 DC1 використовуються також як сигнали готовності до обміну відповідних сегментів ОП.

Виводи A модулів усіх сегментів ОП з'єднано з відповідними лініями ША ( $A_{14} \dots A_1$  у розглядуваному прикладі). Виводи DO та DIO модулів ПЗП та ОЗП молодшого банку відповідно з'єднані з лініями  $D_7 \dots D_0$  ШД, а старшого банку – з лініями  $D_{14} \dots D_8$ .

Загалом, для будь-якої кількості сегментів ПЗП входи  $\overline{DE}$  модулів молодшого банку ПЗП з'єднуються з виходом  $\overline{DE}_L$  ROM схеми ввімкнення банків (СВБ), а входи  $\overline{DE}$  модулів старшого банку ПЗП з'єднуються з виходом  $\overline{DE}_H$  ROM СВБ. Активні рівні на зазначених входах ініціюють стан "читання" з відповідних банків ПЗП. Аналогічно з'єднано входи  $\overline{DE}$  банків ОЗП з виходами  $\overline{DE}_L$  RAM та  $\overline{DE}_H$  RAM СВБ. В цьому разі активні рівні на зазначених входах ініціюють увімкнення відповідних банків ОЗП.

Входи  $R/\overline{W}$  усіх модулів ОЗП з'єднано з виходом  $R/\overline{W}$  СВБ. Функціонування СВБ пояснює таблиця перемикачів 4.1, в якій  $\overline{DE}_H = 0$  – сигнал увімкнення старшого банку даних ОЗП чи ввімкнення (читання) старшого банку ПЗП;  $\overline{DE}_L = 0$  – сигнал увімкнення молодшого банку ОЗП чи ввімкнення (читання) молодшого банку ПЗП.



Авторіві курсової роботи (КР) пропонується синтезувати логічну структуру СВБ, користуючись табл. 4.1.

Таблиця 4.1 – Таблиця перемикачів СВБ

	$\overline{UDS}$	$\overline{LDS}$	$R/\overline{W}$	ПЗП		ОЗП			Коментар
				$\overline{DE}_H$	$\overline{DE}_L$	$\overline{DE}_H$	$\overline{DE}_L$	$R/\overline{W}$	
0	0	0	0	1	1	0	0	0	Запис слова у ОЗП
1	0	0	1	0	0	0	0	1	Читання слова з ПЗП, ОЗП
2	0	1	0	1	1	0	1	0	Запис старшого байта у ОЗП
3	0	1	1	0	1	0	1	1	Читання старшого байта з ПЗП, ОЗП
4	1	0	0	1	1	1	0	0	Запис молодшого байта у ОЗП
5	1	0	1	1	0	1	0	1	Читання молодшого байта з ПЗП, ОЗП
6, 7	1	1	X	1	1	1	1	X	Відсутній доступ

### 4.3. Блоки периферійних пристроїв

Згідно з варіантами завдань до КР кількість ПП – 2...4. Вибір того чи того ПП здійснюється за допомогою коду групи бітів N2 адреси, який декодується дешифратором DC2. DC2 повинен мати вхід увімкнення ( $\overline{OE}$ ), який з'єднується з відповідним виходом DC1. Інверсні виходи DC2 відповідно з'єднуються з входами  $\overline{CS}$  (вибір модуля) ПП. Сигнали з незадіяних виходів мають надходити до КШ, який блокує неправильне звертання до ПП.

Адресне звертання до трьох ПП визначається групою N2 бітів  $A_7A_6$ : 00, 01, 10 ( $A_7A_6 = 11$  – неправильне звертання). Схема дешифратора DC2 зображена на рис. 4.5. У разі чотирьох ПП будуть задіяні всі виходи DC2 для вибору певних ПП.

#### 4.3.1. Блок паралельного інтерфейса-таймера

Основою схеми блока DD1 ПП/Т (рис. 4.6) є ІМС MC68230 [3]. Керуючі сигнали  $R/\overline{W}$ ,  $\overline{RESET}$  надходять з відповідних виходів МП MC68000,  $CLK$  – з GN. Сигнал готовності до обміну  $\overline{DTACK}$  надходить на відповідний вхід МП через ІМС DD2 I, інші входи якого з'єднуються з виводами  $\overline{DTACK}$  модулів інших ПП і виводами 0 і 1 DC1, сигнали яких є сигналами вибору сегментів ОП. Через виводи  $D_7...D_0$ , які з'єднуються з відповідними лініями ШД, здійснюється обмін даними з МП



Виводи RS5...RS1 відповідно з'єднуються з лініями A<sub>5</sub>...A<sub>1</sub>. Зазначеними лініями ША передається код, який визначає певний регістр, задіяний за програмування MC68230 чи за обміну даними з МП.

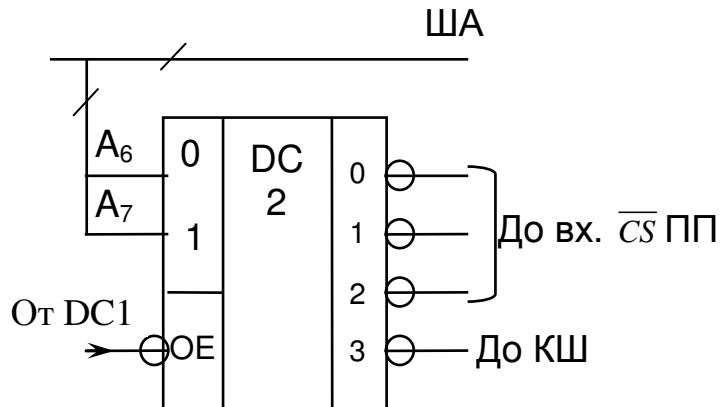


Рисунок 4.5 – Схема електрична структурна дешифратора DC2

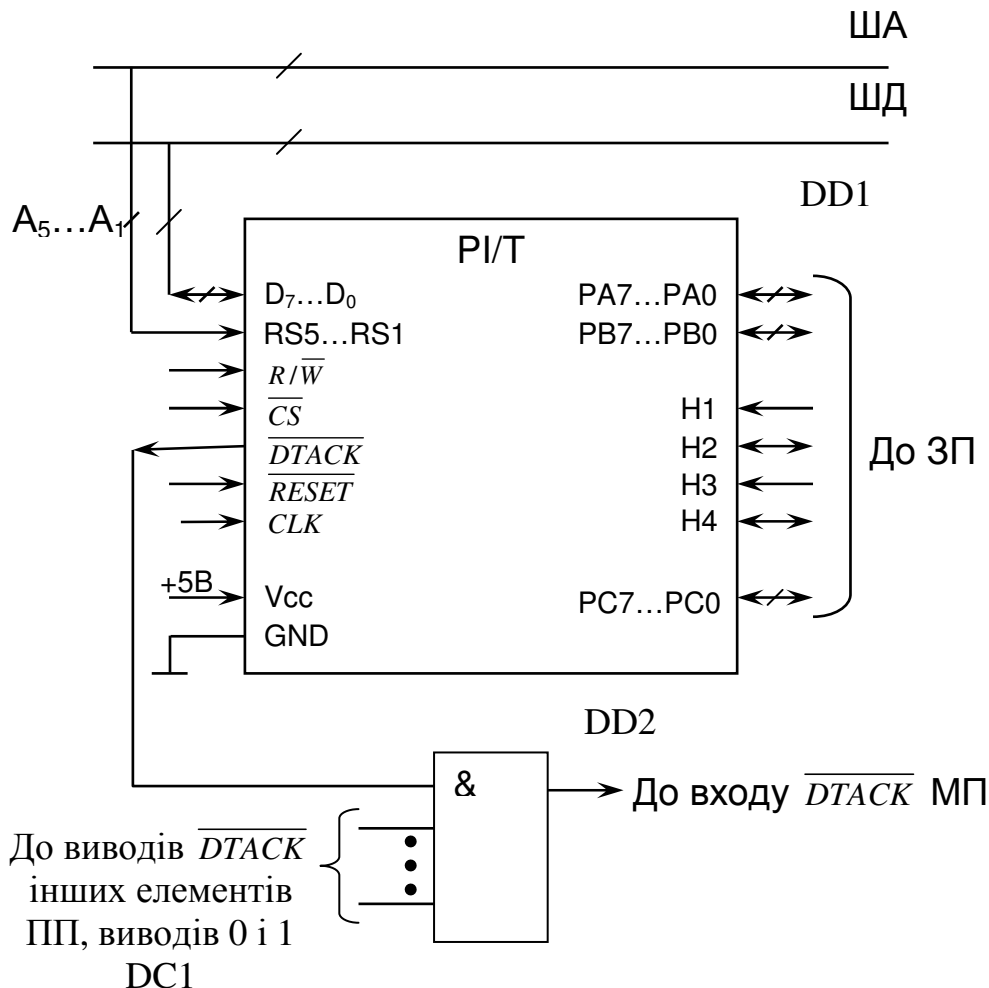


Рисунок 4.6 – Схема електрична структурна блока PI/T (IMC68230)

Виводи H<sub>4</sub>...H<sub>1</sub>, залежно від режиму обміну, використовуються в певних комбінаціях для передавання даних чи керуючих сигналів.

Через виводи PA7...PA0 та PB7...PB0 (порти A та B) здійснюється обмін даними із зовнішніми пристроями (ЗП) у паралельному форматі.

Через виводи PC7...PC0 (порт C) здійснюється, залежно від режиму обміну, або обмін даними в паралельному форматі із ЗП, або передавання керуючих сигналів, які обслуговують таймер, супроводжують обмін у режимах захоплення шин та переривання. Користуючись вищенаведеним описом, можна скласти схему блока ПП/Т з більшої кількості ІМС MC68230.

#### 4.3.2. Блок подвоєнного асинхронного приймача – передавача

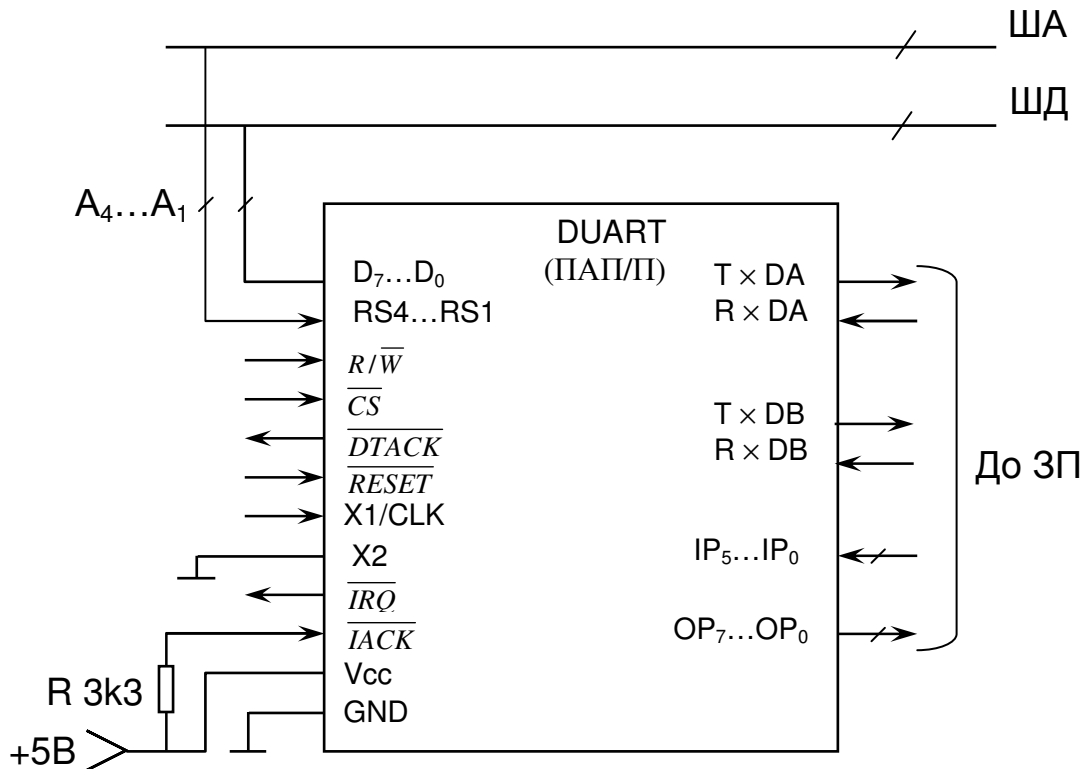


Рисунок 4.7 – Схема електрична структурна ПАП/П (ІМС MC68681)

Блок ПАП/П, згідно з розглядуваним прикладом, складається з двох ІМС MC68681 [4] з ланцюжками блокування входу сигналу підтвердження переривання  $\overline{IACK}$  від МП. Нижче описано призначення виводів ІМС MC68681 (рис. 4.7) та їхні з'єднання з виводами МП та ША й ШД [4]. Через виводи  $D_7...D_0$  здійснюється двоспрямований обмін даними з МП у паралельному форматі одноіменними лініями ШД. На входи  $RS_4...RS_1$ , які з'єднуються відповідно з лініями  $A_4...A_1$  ША, надходить від МП код вибору регістра ПАП/П, задіяного при програмуванні MC68681 або при обміні даними між МП та ПАП/П. Входи керуючих сигналів  $R/\overline{W}$ ,  $\overline{RESET}$  з'єднуються з відповідними виводами МП,  $X_1/CLK$  – з GN, вивід  $X_2$  заземлюється.

Вивід  $\overline{DTACK}$  через ІМС DD2 I (див. рис. 4.6) з'єднується з відповідним входом МП. Вхід  $\overline{CS}$  з'єднується з відповідним виходом DC2. Вивід  $\overline{IRQ}$  (запит переривання до МП) не задіяний в режимі програмного обміну. Вхідний вивід  $\overline{IACK}$  (підтвердження переривання від МП) блокується. Через вивід  $T \times DA$

або  $T \times DB$  здійснюється передавання даних до ЗП у послідовному форматі відповідно через канал А або В ПАП/П, через вивід  $R \times DA$  або  $R \times DB$  – відповідно приймання даних.

$IP_5 \dots IP_0$  – виводи порту введення даних у паралельному форматі від ЗП.  
 $OP_7 \dots OP_0$  – виводи порту виведення даних до ЗП у паралельному форматі.

У альтернативному варіанті через виводи зазначених портів передаються сигнали, які забезпечують взаємодію ПАП/П з ЗП при передаванні та прийманні даних через канали А та В у послідовному форматі.

Користуючись вищенаведеним описом неважко скласти логічну схему блока ПАП/П з більшою кількістю ІМС МС68681.

Виводи, через які ППТ/Т та ПАП/П взаємодіють із ЗП, при зображенні логічної схеми МПС слід залишити незадіяними.

#### 4.4. Контролер шини

Призначення КШ – формування активного рівня (логічного нуля) на вході  $\overline{BERR}$  МП у разі неправильного адресного звертання. На вході КШ (рис. 4.8) надходять групи бітів  $N_5$ ,  $N_3$  та біт  $A_5$  з ША, а також сигнали з незадіяних виходів DC1, DC2. Вихід КШ з'єднується із входом  $\overline{BERR}$  МП. При всіх адресних звертаннях код  $N_5$  повинен мати певне фіксоване значення, а на незадіяних виходах DC1 та DC2 мають діяти неактивні рівні. Фіксоване значення повинне мати код  $N_3$  при звертанні до ПП і біт  $A_5$  – при зверненні до ПАП/П.

Якщо відсутні певні обмеження, доцільно, з точки зору простоти логічної структури КШ, надати кодам  $N_5$ ,  $N_3$  та  $A_5$  нульового значення при відповідних адресних звертаннях. Тоді для розглядуваного прикладу  $A_5 = A_{23} + \dots + A_{17} = 0$  за будь-якого адресного звертання,  $A_3 = A_{14} + \dots + A_8 = 0$  при звертанні до ПП,  $A_5 = 0$  – при звертанні до ПАП/П. Логіка функціонування КШ у цьому разі зумовлюється такими станами його входів та виходу:

$$A_5 = 1, \overline{BERR} = 0;$$

$$\text{Вивід 3 DC1} = 0, \overline{BERR} = 0;$$

$$\text{Вивід 2 DC1} = 0, A_3 = 1, \overline{BERR} = 0;$$

$$\text{Вивід 3 DC2} = 0, \overline{BERR} = 0;$$

$$\text{Вивід 1 і 2 DC2} = 0, A_5 = 1, \overline{BERR} = 0.$$

Авторові Кр пропонується розробити логічну структуру (схему) КШ для розглянутого прикладу, а потім і схему для варіанта завдання.

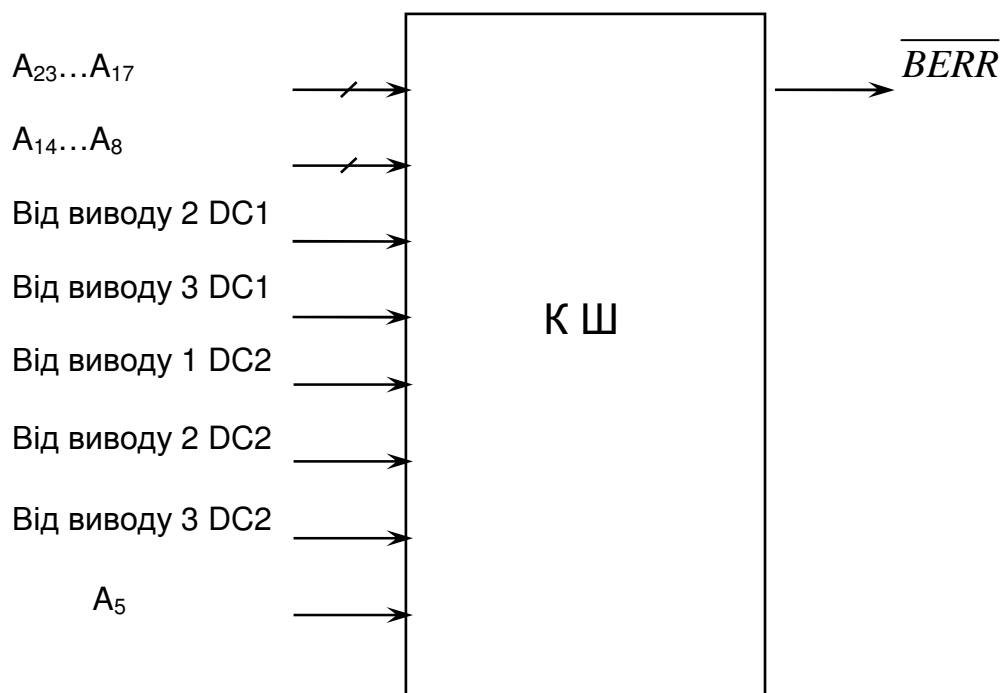


Рисунок 4.8 – Схема електрична структурна контролера шини

## 5. СТРУКТУРА ЛОГІЧНОЇ СХЕМИ МІКРОПРОЦЕСОРНОЇ СИСТЕМИ

Розроблені логічні структури окремих блоків об'єднуються у логічну структуру МПС. Виводи сигналів адреси й даних окремих елементів та модулів відповідно з'єднуються через стандартно зображені ША і ШД. Виводи керуючих сигналів доцільно також відповідно сполучити через ШК з відповідним позначенням виводів від неї. Позначення елементів схеми виконуються згідно зі стандартними позначеннями елементів цифрових пристроїв.

## 6. ПРОГРАМУВАННЯ РЕЖИМІВ ПАРАЛЕЛЬНОГО ІНТЕРФЕЙСУ ТАЙМЕРА

Програмування режимів програмного обміну через порти А та В ПІ/Т (ІМС МС68230) [3] складається з ініціалізування регістра керування режимом роботи портів (PGCR), регістрів напрямку передавання даних через порти А(PADDR) та В(PBDDR), регістрів керування підрежимами портів А(PACR) та В(PBCR). Пересилання даних відбувається через регістр PADR (порт А) чи через регістр PBDR (порт В). Зазначені регістри – восьмибітові. При звертанні до ПІ/Т адреси названих регістрів визначають коди  $A_5 \dots A_1$  (табл. 6.1) та  $A_0 = 1$ .

Порти А та В для двобуферизованого передавання мають ще додаткові неадресовані регістри даних – відповідно PACDR та PBCDR, які дозволяють зберігати інформацію, якщо необхідно ввести нові дані до того, як попередні дані буде прочитано МП, або вивести наступні дані з МП до того, як попередні

буде виведено до ЗП. За такого передавання відбувається почергове записування даних спочатку в одному регістрі даних, потім у другому, потім – виведення чи введення через порт.

Однобуферизоване передавання супроводжується записуванням лише в одному регістрі даних. Незаписане передавання – це передавання без фіксування в регістрах даних.

Таблиця 6.1 – Коды  $A_5 \dots A_1$  адрес регістрів MC68230

Коды $A_5 \dots A_1$ (виводи RS5...RS1)	Позначення регістра	Назва регістра
0 0 0 0 0	PGCR	Регістр керування режимом роботи портів
0 0 0 1 0	PADDR	Регістр напряму порту А
0 0 0 1 1	PBDDR	Регістр напряму порту В
0 0 1 1 0	PACR	Регістр керування порту А
0 0 1 1 1	PBCR	Регістр керування порту В
0 1 0 0 0	PADR	Регістр даних порту А
0 1 0 0 1	PBDR	Регістр даних порту В

Обмін даними через порти А та В може здійснюватись у чотирьох режимах.

*Режим 0.* Обидва порти – восьмибітові. Виводи портів можуть бути настроєні на введення чи виведення побітно. Кожен порт може функціонувати в трьох підрежимах :

- двобуферизований вхід, однобуферизований вихід (00);
- незаціпуваний вхід, двобуферизований вихід (01);
- незаціпуваний вхід, однобуферизований вихід (1X).

*Режим 1.* Восьмибітові порти А та В об'єднуються в один 16-бітовий порт В, виводи цього порту можуть бути настроєні на введення чи виведення побітно. Можливі два підрежими функціонування:

- двобуферизований вхід, однобуферизований вихід (X0);
- незаціпуваний вхід, двобуферизований вихід (X1).

Для квітування (підтвердження) використовуються виводи Н3 та Н4 (Н1 та Н2 можуть використовуватись як звичайні лінії введення/виведення (Н1 – лише введення)).

*Режим 2.* Двоспрямовуване двобуферизоване введення/виведення через порт В. Порт А настроюється побітно на незаціпуваний вхід та однобуферизований вихід. Виводи Н1 та Н2 використовуються для підтвердження виведення, а Н3 та Н4 – введення через порт В.

*Режим 3.* Розширений варіант режиму 2 – двоспрямовуване двобуферизоване введення/виведення через 16-бітовий об'єднаний порт (порти А та В).

Виведення даних через певні виводи портів А та В визначають програмно занесені одиниці до відповідних розрядів регістрів PADDR та PBDDR, а введення – нулі. Коды ініціалізування регістра PGCR на певні режими обміну

подано в табл. 6.2, реєстрів PACR та PBCR – в табл. 6.3. Для ініціалізування зазначених реєстрів, а також введення/виведення даних використовуються команди пересилання (див. приклад). Виконавчі адреси реєстрів визначаються залежно від конфігурації МПС та її характеристик.

Таблиця 6.2 – Коди ініціалізування PGCR (00000)

Б і т и	7	Режим	$\frac{0}{0}(0)$	$\frac{0}{1}(1)$	$\frac{1}{0}(2)$	$\frac{1}{1}(3)$
	6					
	5	Дозвіл (1) Н3, 4	1(0;1X)	1	1	1
	4	Дозвіл (1) Н2, 1	1(0;1X)	1	1	1
	3	Активний рівень Н4	1(0)	1(0)	1(0)	1(0)
	2	Активний рівень Н3	1(0)	1(0)	1(0)	1(0)
	1	Активний рівень Н2	1(0)	1(0)	1(0)	1(0)
	0	Активний рівень Н1	1(0)	1(0)	1(0)	1(0)

1(0) – чи 1, чи 0. (0;1X) – 0 у підрежими 1X.

Таблиця 6.3 – Коди ініціалізування PACR та PBCR

Регістр →		PACR						PBCR							
Біт	Режим →	0		1		2	3	0		1		2	3		
7.	Підрежим	0	0	1	X(0)	X(0)	X(0)	X(0)	0	0	1	X(0)	X(0)	X(0)	X(0)
6.		0	1	X	0(0)	1(0)	X(0)	X(0)	0	1	X	0(0)	1(0)	X(0)	X(0)
5.	Керування Н2(Н4)*	1	1	0	0	1	X	X	1	1	0	1	1	X	X
4.		1	1	X	X	1	X	X	1	1	X	1	1	X	X
3.		0	0	X	X	0	0	0	0	0	X	0	0	0	0
2.	Дозвіл на переривання за Н2(Н4)	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1.	Керування Н1(Н3)**	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0.		X	1	X	X	X	0	0	X	1	X	X	X	X	X

\* Н2 – для PACR та Н4 – для PBCR;

\*\* Н1 – для PACR та Н3 – для PBCR;

X – невизначене значення біта.

У дужках подано значення бітів 7 та 6 у відповідних підрежимах, вказаних позначенням бітів до дужок

### 6.1. Приклад ініціалізування регістрів паралельного інтерфейса-таймера

Нехай МПС складається з двох сегментів ОП, за частиною адресів місткістю 32 кбайт кожний, і сегмента ПП, в якому містяться один ПП/Т і два ПАП/П. Треба настроїти ПП/Т на підрежим X0 режиму 1 обміну даними. Зазначений підрежим передбачає двобуферизоване введення чи однобуферизоване виведення 16-бітових даних через об'єднаний порт А та В [2].

З табл. 6.2 визначається код ініціалізування 00000000 регістра PGCR у двійковій системі числення. Коди ініціалізації регістрів PACR і PBCR відповідно будуть 00000000 та 00110000 (табл. 6.3). Для введення даних код ініціалізування регістрів PADDR та PBDDR буде 00000000, виведення – 11111111.

Виконавчі адреси регістрів, які підлягають ініціалізуванню, складаються із сукупності груп бітів N5N4N3N2N1A<sub>0</sub>. Для розглядуваного прикладу A<sub>0</sub> = 1 (передавання молодшого байта за ініціалізування регістрів ПП/Т); N1 складається з бітів A<sub>5</sub>...A<sub>1</sub>, які визначаються з табл. 6.1; N2 складається з бітів A<sub>7</sub>A<sub>6</sub> (три ПП) і визначає двійковий номер ПП/Т – 00; N3 – з бітів A<sub>14</sub>...A<sub>8</sub>, значення яких фіксується на рівні 0; N4 складається з бітів A<sub>16</sub> A<sub>15</sub> (три сегменти) й визначає номер сегмента ПП – 10; N5 складається з бітів A<sub>23</sub>...A<sub>17</sub>, які мають фіксоване значення – 0.

У разі передавання 8-бітових даних виконавчі адреси регістрів PADR та PBDR визначаються в аналогічний спосіб. При передаванні 16-бітових даних адресою регістра даних об'єднаного порту А та В буде парна адреса (A<sub>0</sub> = 0) регістра PBDR.

Визначені в такий спосіб виконавчі адреси регістрів ПП/Т для розглядуваного прикладу подані в табл. 6.4.

Таблиця 6.4 – Виконавчі адреси регістрів ПП/Т

Регістр	А	Д	Р	Е	С	И
	В					\$
PGCR	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0 0 0	(0 0 0 0 0)	1		1 0 0 0 1
PACR	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0 0 0	(0 0 1 1 0)	1		1 0 0 0 D
PBCR	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0 0 0	(0 0 1 1 1)	1		1 0 0 0 F
PADDR	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0 0 0	(0 0 0 1 0)	1		1 0 0 0 5
PBDDR	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0 0 0	(0 0 0 1 1)	1		1 0 0 0 6
PBDR	0 0 0 0 0 0 0 1	0 0 0 0 0 0 0 0 0 0 0 0	(0 1 0 0 1)	0		1 0 0 1 2

В – двійкова, \$ – шістнадцятерична системи числення.  
У дужках – адресний код A<sub>5</sub>...A<sub>1</sub> регістра

Послідовність команд програмного ініціалізування регістра PGCR може бути така:

MOVEQ #\$00, D<sub>1</sub> ; Завантаження регістра D<sub>1</sub> кодом ініціалізування 0

MOVEA.L # $\$10001$ ,  $A_1$ ; Завантаження регістра  $A_1$  адресою  $\$10001$   
 MOVE.B D1, ( $A_1$ ) ; Пересилання коду ініціалізування до регістра  
 ; PGCR

Подібно виглядають послідовності команд ініціалізування інших регістрів ПІ/Т.

Для виведення 16-бітового операнда через 8-бітовий ПІ використовується спеціальна команда.

MOVEP  $D_n$ , (0,  $A_n$ ) ; Виведення слова (даних) з регістра даних  $D_n$   
 ; МП через об'єднаний порт А та В ПІ/Т. У  
 ; регістрі  $A_n$  – адреса регістра PBDR.

Введення слова даних відбувається при виконанні команди MOVEP (0,  $A_n$ ),  $D_n$ .

Для пересилання 8-бітового операнда використовується звичайна команда MOVE.

*Примітка.* Правила оформлення курсової роботи подані у додатках А, Б, В, Г.

## ВИСНОВКИ

У методичних вказівках до виконання курсової роботи наведені шляхи розробки МПС на базі МП MC68000 фірми “Motorola”. Описані основні блоки МПС, а також наведені шляхи розробки її логічної схеми. Наведені шляхи розробки логічної схеми з частини вибору банків пам'яті та контролера шини. Наведено зразок програми ініціалізації ПІ/Т.

## СПИСОК ОСНОВНОЇ ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1 Проектирование микропроцессорной электронно-вычислительной аппаратуры. Справочник / [В.Г. Артюхов, А.А. Будняк, В.Ю. Лапий и др.] – К.: Техника, 1988. – 263 с.

2 Шагурин И.И. Современные микроконтроллеры и микропроцессоры “Motorola”: Справочник / И.И. Шагурин – М.: Горячая линия – Телеком, 2004. – 952 с.

3 MC68230. Parallel Interface / Timer (PI/T) /Advance Information, Motorola INC, 1983. – 28 с.

4 MC68681. Dual Asynchronous Receiver / Transmitter (DUART) / Advance Information, Motorola INC, 1985. – 32 с.

5 Методичні вказівки до курсової роботи «Мікропроцесорна система M6800» з дисципліни «Обчислювальна техніка та мікропроцесори» для спеціальностей 6.0924, 6.0907, 6.0925 / Укл. В.Ф. Літовкін. – Одеса, ОНАЗ ім. О.С. Попова, 2004, 23 с.



## ДОДАТОК А

### Вимоги до пояснювальної записки

Розрахунково-пояснювальна записка (ПЗ) виконується рукописним або машинописним способом на одній сторонці паперового аркуша формату А4 (210x297) по ДСТ 27301-68. На форматі А4 викреслюють внутрішню рамку, віддалену від лівої сторони аркуша на 20мм і на 5мм від останніх трьох сторін аркуша. В середині рамки внизу (формат А4) або справа внизу (формат А3) виконують основний напис згідно рис. Г, а, б, в (див. додаток Г) відповідно до ДСТ 2.104-68 (див. також додаток В).

Склад пояснювальної записки:

1. Титульний аркуш (див. додаток В).
2. Зміст (див. додаток В).
3. Завдання на курсову роботу (див. табл. 2.1).
4. Вступ.
5. Теоретична частина.
6. Розрахункова частина.
7. Висновок.
8. Список основної використаної літератури.
9. Перелік необхідних додатків.

Всі рисунки виконуються вручну або за допомогою технічних засобів (принтера і тощо) на білому папері, кальці або міліметровому папері форматів А4, А3 і тощо. Основні написи (див. додаток Г) розміщуються внизу внутрішньої рамки аркуша формату А4 (210x297) або в правому нижньому куті внутрішньої рамки формату А3 (420x297).

Основні довідкові дані на активні елементи, застосовані в проєктованому пристрої повинні бути подані в пояснювальній записці у ході викладення матеріалу.

При остаточному оформленні курсової роботи аркуші пояснювальної записки нумеруються всі, починаючи з другого аркуша, і зшиваються (титульний аркуш є першим і не нумерується).

## ДОДАТОК Б

МІНІСТЕРСТВО ІНФРАСТРУКТУРИ УКРАЇНИ  
Державна служба зв'язку  
Одеська національна академія зв'язку ім. О.С. Попова

Кафедра програмного забезпечення мереж зв'язку

ЗАТВЕРДЖУЮ

зав. каф., доц. \_\_\_\_\_ А.М.Тігарєв  
«\_\_\_\_» \_\_\_\_\_ 2011 р.

РОЗРОБКА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ M68000

---

(назва курсової роботи)

РОЗРАХУНКОВО-ПОЯСНЮВАЛЬНА ЗАПИСКА

Варіант №

(№ варіанта, шифр, позначення документа)

Курсова робота

з дисципліни “Обчислювальна техніка та мікропроцесори”

Оцінка:

Керівник роботи

доц. \_\_\_\_\_ І.М. Ніколенко  
«\_\_\_\_» \_\_\_\_\_ 2011 р.

Проектував студент ОНАЗ ім. О.С. Попова,  
гр. \_\_\_\_\_

«\_\_\_\_» \_\_\_\_\_ 2011 р.

Одеса – 2011

## ДОДАТОК В

## ЗМІСТ

ЗАГАЛЬНІ ПОЛОЖЕННЯ.....	9
ВСТУП.....	13
1. МЕТА КУРСОВОЇ РОБОТИ.....	13
2. ЗАВДАННЯ ДО КУРСОВОЇ РОБОТИ.....	13
3. СТРУКТУРНА СХЕМА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ.....	15
4. ЛОГІЧНА СХЕМА МІКРОПРОЦЕСОРНОЇ СИСТЕМИ .....	16
4.1. Блок мікропроцесора .....	19
4.2. Блок основної пам'яті .....	21
4.3. Блоки периферійних пристроїв.....	25
4.3.1. Блок паралельного інтерфейса-таймера.....	25
4.3.2. Блок подвоєного асинхронного приймача-передавача .....	26
4.4. Контролер шини .....	27
5. СТРУКТУРА ЛОГІЧНОЇ СХЕМИ МІКРОПРОЦЕСОРНОЇ СИСТЕМИ .....	28
6. ПРОГРАМУВАННЯ РЕЖИМІВ ПАРАЛЕЛЬНОГО ІНТЕРФЕЙСА-ТАЙМЕРА .....	28
6.1. Приклад ініціалізування регістрів паралельного інтерфейса-таймера...	31
ВИСНОВКИ.....	32
СПИСОК ОСНОВНОЇ РЕКОМЕНДОВОНОЇ ЛІТЕРАТУРИ.....	32
Додаток А.....	33
Додаток Б.....	34
Додаток В .....	35
Додаток Г.....	36

*Примітка.* Додаток В необхідно виконувати з обліком внутрішньої рамки і вказівкою сторінок заголовків вмісту.

					ОНАЗ 6.050903 ПЗ							
Ізм	Аркуш	№ докум.	Підп.	Дата	Розрахунково-пояснювальна записка			Літ.	Аркуш	Аркушів		
Розроб.	Іванов О.О.							У	Р			
Перев.	Ніколенко І.М.							ОНАЗ ім.. О.С. Попова, каф. ПЗМЗ, гр. __				
Н контр.												
Затв.												

## ДОДАТОК Г

									Ар- куш
Ізм.	Аркуш	№ докум.	Підп.	Дата					

а)

Ізм	Аркуш	№ докум.	Підп.	Дата					
Розроб.						Літ.	Аркуш	Аркушів	
Перев.									
Н контр.									
Затв.									

б)

						Літ.	Маса	Масш.	
Ізм.	Аркуш	№ докум.	Підп.	Дата					
Розроб.									
Перев.									
Т. Контр.						Аркуш	Аркушів		
Н контр.									
Затв.									

в)

Рисунок Г – основні написи (штампи): а – для текстів; б – для текстових документів [вміст (зміст), перелік документів і тощо.]; в – для креслень, схем і специфікацій.

Примітка. Габаритні розміри основних написів на рис. Г:

– а – 185x15 мм;

– б – 185x40 мм;

– в – 185x55 мм;

**МИНИСТЕРСТВО ИНФРАСТРУКТУРЫ УКРАИНЫ**

**Государственная служба связи**

**Одесская национальная академия связи им. А.С. Попова**

**Кафедра программного обеспечения сетей связи**

**Методические указания  
к выполнению курсовой работы  
“МИКРОПРОЦЕССОРНАЯ СИСТЕМА M68000”  
по дисциплине  
“Вычислительная техника и микропроцессоры”**

**Модуль 2  
Микропроцессорные системы на универсальных  
микропроцессорах и микроконтроллерах**

**Для студентов всех форм обучения по направлению высшего образования  
0509 – Радиотехника, радиоэлектронные аппараты и связь**

УДК 681.335.5(075)

План НМВ 2011 г.

Составители: Николенко И.Н., Никифоров Ю.А, Паску Д.Г.

Методические указания составлены как пособие к выполнению курсовой работы по дисциплине “Вычислительная техника и микропроцессоры”. Курсовая работа рассматривается как аванпроект (разработка логической структуры) микропроцессорной системы (МПС) минимальной конфигурации с базовым микропроцессором МС68000 семейства микропроцессоров МС680Х0, которые широко применяются в персональных компьютерах, микроконтроллерах и коммуникационных микроконтроллерах компании “Motorola”. Использован модульный принцип разработки логической структуры МПС. Рассмотрено программирование периферийных устройств МС68230 и МС68681 на заданный режим обмена. Представлены варианты заданий и указания к оформлению курсовой работы

УТВЕРЖДЕНО

методическим советом  
академии связи .

Протокол № 8 от 11.02.2011 г.

ОДОБРЕНО

на заседании кафедры  
программного обеспечения  
сетей связи  
и рекомендовано в печать.

Протокол № 9 от 20 апреля 2011г.

**СОДЕРЖАНИЕ**

ВВЕДЕНИЕ .....	40
1. ЦЕЛЬ КУРСОВОЙ РАБОТЫ .....	40
2. ЗАДАНИЕ К КУРСОВОЙ РАБОТЕ .....	40
3. СТРУКТУРНАЯ СХЕМА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ .....	42
4. ЛОГИЧЕСКАЯ СХЕМА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ .....	43
4.1. Блок микропроцессора .....	45
4.2. Блок основной памяти .....	47
4.3. Блоки периферийных устройств .....	52
4.3.1. Блок параллельного интерфейса-таймера .....	52
4.3.2. Блок сдвоенного асинхронного приёмника-передатчика .....	53
4.4. Контроллер шины .....	55
5. СТРУКТУРА ЛОГИЧЕСКОЙ СХЕМЫ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ .....	56
6. ПРОГРАММИРОВАНИЕ РЕЖИМОВ ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА-ТАЙМЕРА .....	56
6.1 Пример инициализации параллельного интерфейса-таймера .....	57
ЗАКЛЮЧЕНИЕ .....	60
СПИСОК ОСНОВНОЙ ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ .....	60
Приложение А .....	61
Приложение Б .....	62
Приложение В .....	63
Приложение Г .....	64

## ВВЕДЕНИЕ

В конце 70-х годов XX ст. возникло понятие «семейство микропроцессоров» (МП), как вид МП с единой базовой архитектурой. Семейство МП MC680X0 компании “Motorola”, которые широко используются в персональных компьютерах (ПК), микроконтроллерах (МК) и коммуникационных МК (КМК) разнообразного назначения, имеет базовую архитектуру, впервые реализованную в MC68000. Эта архитектура имеет общий для всех моделей семейства комплект регистров, которые доступны пользователю, набор единых способов адресации, а также базовую систему команд, которая с сохранением программной совместимости «снизу вверх» дополняется в следующих моделях. В МП этого семейства общими также являются принципы обращения к памяти и реализация интерфейса с другими устройствами в системе.

Несмотря на продолжительную историю и минимальные изменения, MC68000 и другие представители многочисленных семейств MC680X0, MC683XX и т.п. остаются одними из популярнейших МП, широко применяемых в разнообразных вычислительных устройствах, в частности в КМК.

Курсовая работа посвящена разработке логической структуры микропроцессорной системы (МПС) с базовым МП MC68000 семейства MC680X0, которая реализует программный обмен с периферийными устройствами.

### 1. ЦЕЛЬ КУРСОВОЙ РАБОТЫ

Целью выполнения курсовой работы является изучение и применение на практике принципов разработки логической структуры МПС минимальной конфигурации с базовым процессором MC68000. Такой подход должен быть первым толчком для приобретения навыков в дальнейшей разработке МПС разнообразной конфигурации с МП компании “Motorola” (и не только).

### 2. ЗАДАНИЕ К КУРСОВОЙ РАБОТЕ

На основании составленной структурной схемы разработать логическую структуру (ЛС) МПС с МП MC68000. Способ обмена данными - программный, формат обмена – параллельный и последовательный, что обеспечивается применением интегральных микросхем (ИМС) MC68230 (параллельный интерфейс/таймер – ПИ/Т) и MC68681 (сдвоенный асинхронный приемник/ передатчик – САП/П). Для оптимального использования адресного пространства применяют его аппаратное сегментирование (сегменты ПЗУ, ОЗУ, периферийных устройств). С этой целью, в зависимости от варианта задания (табл. 2.1), может быть использованы сегменты основной памяти (ОП) величиной общей ёмкости соответственно 8 Кбайт×8 бит, 16 Кбайт×8 бит, 32 Кбайт×8 бит, 64 Кбайт×8 бит. [8 Кбайт, 16 Кбайт, 32 Кбайта, 64 Кбайта – количество ячеек каждой ОП: 8000 шт, 16000 шт, 32000 шт, 64000 шт, то есть это емкость адресных пространств ОП, а 8 бит-это разрядность каждой ячейки ОП.]



Таблица 2.1 – Варианты заданий

Вариант	Емкость адресного пространства ПЗУ, Кбайт	Емкость адресного пространства ОЗУ, Кбайт	Количество ПИ/Т; режим обмена	Количество САП/П
1	32	96	1; 00, A↓ B↓	1
2	64	128	2; 00, A↑ B↑	2
3	16	48	1; 00, A↑ B↓	2
4	8	32	1; 00, A↓ B↑	1
5	64	192	1; 01, A↓ B↓	2
6	32	32	2; 01, A↑ B↑	2
7	16	16	2; 01, A↓ B↑	2
8	16	8	2; 01, A↑ B↓	2
9	64	64	2; 1x, A↓ B↓	2
10	96	96	2; 1x, A↑ B↑	2
11	32	128	1; 1x, A↓ B↓	1
12	128	128	2; 1x, A↑ B↑	2
13	128	192	1; x0, AB↑	1
14	8	24	1; x0, AB↓	1
15	8	8	1; x1, AB↑	1
16	8	16	1; x1, AB↑	2
17	8	64	1; 2, A↑	1
18	48	64	1; 2, A↓	1
19	16	32	1; 2, B↑	2
20	32	64	1; 2, B↓	2
21	4	24	1; 3, AB↑	1
22	24	64	1; 3, AB↓	1
23	48	96	1; 00, A↑	1
24	96	96	1; 01, A↓	2
25	32	128	1; 1x, A↑	1
26	16	96	1; 1x, B↑	1
27	32	16	2; x0, AB↓	1
28	48	128	1; x0, AB↑	1

ПЗУ – постоянное запоминающее устройство;

ОЗУ – оперативное запоминающее устройство;

ПИ/Т – параллельный интерфейс/таймер;

САП/П – сдвоенный асинхронный приемо/передатчик.

Режимы обмена через ПИ/Т: 0 (подрежимы 00,01,1X); 1(X0,X1); 2; 3

Направление передачи данных через порты А и В обозначено:

ввод – соответственно A↓, B↓ ; вывод - A↑, B↑. Например, запись 00, A↓ B↑ означает подрежим 00 режима обмена 0: через порт А вводятся данные, через В - выводятся;

запись 2, A↓ означает ввод через порт А в режиме 2

Разработке подлежат блок МП, блок ОП, блоки ПИ/Т и ПАП/Л, контроллер шины и общая логическая структура МПС.

Должен быть составлен фрагмент программы инициирования ПИ/Т на заданный режим обмена данными. Курсовая работа рассматривается как аванпроект к дальнейшей технической разработке МПС. На этом этапе не учитываются некоторые параметры, в частности временные и погрязочные.

### 3. СТРУКТУРНАЯ СХЕМА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Структурная схема любого цифрового устройства (системы) изображается в виде прямоугольников – законченных функциональных модулей-блоков, объединенных между собой направленными линиями основных сигналов [1].

Структурная схема МПС М68000 (рис. 3.1) имеет трехшинную организацию и включает блок процессора (микропроцессор МС68000 и генератор тактовых импульсов – ГТИ), шину адреса ША ( $A_{23}...A_1$ ), шину данных ШД ( $D_{15}...D_0$ ), шину управления ШУ (количество линий шины управления определяется после конфигурирования логической структуры МПС), основную память ОП, интерфейс и модули ввода/вывода со схемами доступа и контроллер шины КШ.

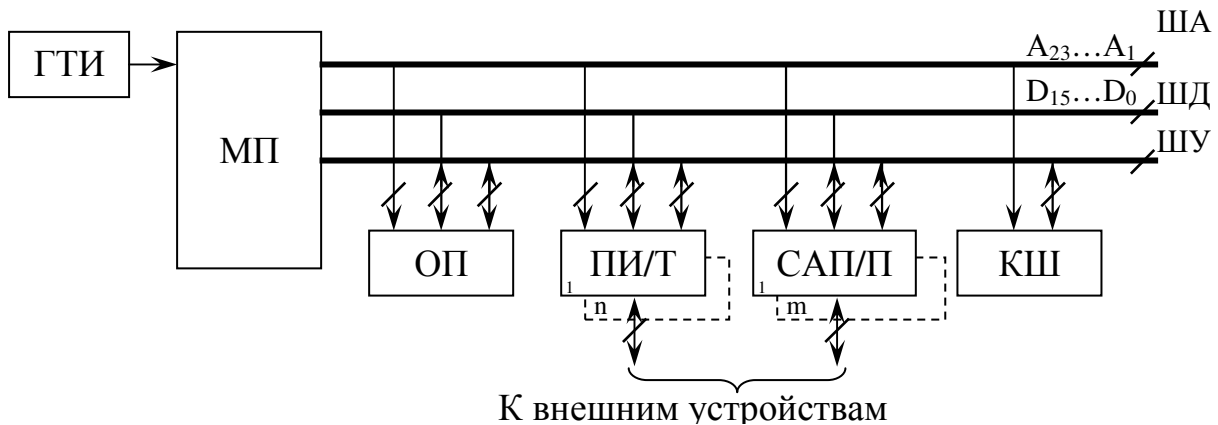


Рисунок 3.1 – Схема электрическая структурная МПС

МПС рассчитана на программный обмен данными с внешними устройствами (ВУ), который организуется с помощью периферийных устройств (ПУ) – модулей сопряжения МС68230 (программируемый параллельный интерфейс/таймер ПИ/Т) и МС68681 (программируемый сдвоенный универсальный асинхронный приемник/передатчик САП/Л); количество таких модулей определяется вариантом задания. ША, ШД и ШУ, к которым подключаются ВУ, образуют системную шину (СШ) МПС. Интерфейс МП с СШ вообще организуется с помощью одно-, двунаправленных шинных формирователей (ШФ) и схем на логических элементах (ЛЭ). Главное назначение такого интерфейса – согласование нагрузочной способности соответствующих выходов МП с потребляемой мощностью входов СШ. С помощью специальных логических схем между СШ и ОП, ПИ/Т, ПАП/Л

организуется интерфейс доступа и чтения данных. С помощью контроллера шины (КШ) осуществляется блокирование ошибочного адресного обращения путем выполнения аппаратного прерывания текущей программы. Генератор тактовых импульсов формирует одну или две последовательности тактовых (синхронизирующих) импульсов, используемых для синхронизации МП и других устройств МПС.

#### 4. ЛОГИЧЕСКАЯ СХЕМА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Конечной целью курсовой работы (КР) является разработка логической структуры МПС – начального этапа проектирования МПС. На этом этапе нагрузочные и временные характеристики отдельных элементов и узлов МПС не учитывают и потому ШФ могут отсутствовать в логической структуре МПС (ШФ применяются, если выходы МП имеют недостаточную нагрузочную способность). Указанные параметры учитываются на этапе разработки принципиальной электрической схемы МПС, который не является целью курсовой работы [1].

В МПС М68000 целесообразно применить аппаратное (в отличие от программного в МПС с МП 86) сегментирование адресного пространства ОП. Адресное пространство ОП определяется заданием к КР и равномерно распределяется между сегментами, затем добавляется адресное пространство сегмента ПУ. Такое сегментирование предусматривает при организации доступа к адресуемым объектам параллельное декодирование кодов определенных групп бит (разрядов) адреса, что в определенной мере сокращает время обращения к ячейкам ОП и регистрам ПУ [2].

С учетом заданий к КР и структуры МПС целесообразно представить адреса  $A_{23}...A_0$  в виде совокупности групп битов  $N_5N_4N_3N_2N_1A_0$ , каждая из которых имеет конкретное функциональное назначение.

$N_5$  – группа старших битов адреса, которые образуют одинаковый код по адресному обращению к любым объектам в МПС. При отклонении от заданного кода  $N_5$  адрес блокируется (контроллер КШ формирует сигнал прерывания работы МП).

Группа битов  $N_4$  определяет обращение к определенным сегментам.

$N_3N_2N_1$  – группа младших битов адреса, которая определяет внутренние сегментные адреса ячеек памяти (ЯП) в сегментах ОП.

При обращении к сегменту ПУ группа битов  $N_3$  имеет один и тот же фиксированный код при обращении к любому ПУ, код  $N_2$  определяет определенное ПУ, а код  $N_1$  ( $A_5...A_1$ ) – внутренний адрес определенного регистра выбранного ПУ.

Во избежание неоднозначности при обращении к регистрам САП/П, надо зафиксировать  $A_5$ , поскольку адреса его регистров определяются битами  $A_4...A_1$ .  $A_0 = 0$  при передаче слова или старшего байта и  $A_0 = 1$  – при передаче младшего байта.

Отклонение от заданного фиксированного значения кодов группы бит  $N_3$  (в случае обращения к ПУ), а также фиксированного уровня  $A_5$  при обращении

к САП/П должны обеспечивать блокирование соответствующего адресного обращения.

В МПС М68000 используется словарное адресное обращение одновременно к двухбайтовым ячейкам памяти (ЯП), которые расположены в двух банках ОП – банка младшего байта, исполнительные адреса ЯП которого имеют  $A_0 = 1$ , и банка старшего байта, исполнительные адреса ЯП которого отвечают  $A_0 = 0$ .

Пример распределения заданного в задании адресного пространства МПС. Пусть заданное адресное пространство разделено между двумя одинаковыми по адресному объему сегментами ОП и одним сегментом трех ПУ, а адресуемое пространство одного сегмента ОП составляет  $32 K = 2^{15}$ . В таком случае внутрисегментная адресация ЯП в обоих банках сегментов ОП будет осуществляться группой бит  $A_{14}...A_1$  ( $N_3N_2N_1$ ), поскольку  $16 K = 2^{14}$  (14-разрядные внутрисегментные адреса ЯП).

Разрядность  $K$  кода  $N_4$  определяется по выражению  $2^{K-1} < m \leq 2^K$ , где  $m$  – количество сегментов. При  $m = 3$  в рассматриваемом примере  $K = 2$ , а коды номеров трех сегментов будут определяться соответственно комбинациями значений двух битов  $A_{16}$  и  $A_{15}$ . Это такие комбинации: 00 (сегмент ОЗУ), 01 (сегмент ПЗУ), 10 (сегмент ПУ). В таком случае адреса с  $N_4 = 11$  должны блокироваться.

Код  $N_5$  (биты  $A_{23}...A_{17}$ ) адреса должен быть зафиксирован. Пусть  $N_5 = 0000000$ . Тогда адрес любой словарной ячейки первого сегмента ОП (ОЗУ) будет  $00000000A_{14}...A_10$ , второго сегмента ОП (ПЗУ) –  $000000001A_{14}...A_10$ .

В случае обращения к определенному ПУ код  $N_4$  будет 10. Код  $N_2$  определяется комбинацией значений битов  $A_7A_6$  (три ПУ), а код  $N_3$  – фиксированной комбинацией значений битов  $A_{14}...A_8$ , например  $N_3 = 0000000$ . Обращение по адресам с  $N_2 = 11$  должны блокироваться. В адресах обращения к САП/П должно фиксироваться значение бита  $A_5$ , например  $A_5 = 0$ .

Пусть  $N_2 = 00$  определяет ПИ/Т,  $N_2 = 01$  – определяет 1-й САП/П а  $N_2 = 10$  определяет 2-й САП/П. Тогда нечетный адрес

$$0\ 0\ 0\ 0.0\ 0\ 0\ 1.0\ 0\ 0\ 0.0\ 0\ 0\ 0.1\ 0\ 0\ 0.0\ 0\ 0\ 1\ 2 = \$\ 0\ 1\ 0\ 0\ 8\ 1$$

будет адресом обращения к 8-битовому регистру №0000 во 2-м САП/П в случае фиксации  $A_5$  на нулевом уровне. Обращение к САП/П блокируется, если  $A_5$  приобретает значение логической единицы. Нечетный адрес используется при передаче младшего байта.

При разработке логической структуры МПС используется модульный принцип проектирования МПС [1], на основе которого на логико-функциональном уровне разрабатываются структуры отдельных модулей-блоков, а также внутренний системный интерфейс МПС в целом. МП руководит работой МПС и поэтому разработку блока МП целесообразно рассмотреть первой.

#### 4.1. Блок микропроцессора

В этот блок входит МП MC68000 (CPU), генератор тактовых импульсов (GN) и вспомогательные цепочки.

МП MC68000 [2] взаимодействует во время обмена данными с ОП и периферийными устройствами через СШ, к которой они подключаются и которая состоит из 23-битовой шины адреса (ША), 16-битовой шины данных (ШД) и шины управления (ШУ). Количество задействованных линий ШУ зависит от структуры МПС. Адрес, передаваемый ША, обеспечивает выбор определенного модуля и доступ в нем к определенной ЯП или регистра ПУ, из которых с помощью определенных управляющих сигналов осуществляется чтение или в которые записываются данные через ШД. Выводы Vcc и GND (рис. 4.1) служат для подключения источника питания напряжением +5 В.

На выводах  $A_{23}...A_1$  действуют коды, которые обеспечивают словарную адресацию. При этом передача слова или определенного байта по ШД определяется соответствующими комбинациями значений управляющих сигналов  $\overline{UDS}$  и  $\overline{LDS}$ .

Через выводы  $D_{15}...D_0$  осуществляется передача команд и данных. Другие выводы предназначены для передачи управляющих сигналов, которые функционально делятся на несколько групп. Если активное состояние сигнала задается низким уровнем, то над его обозначением ставится черточка, иначе – без черточки.

Системные сигналы. CLK – тактовый сигнал синхронизации, период которого определяет продолжительность такта машинного цикла. CLK согласовывает во времени функционирование узлов и блоков МП и сопровождает обмен в МПС.  $\overline{RESET}$  – сигнал сброса.

Внешний сигнал системного сброса  $\overline{RESET} = 0$  вызывает системное прерывание выполнения текущей программы. При этом содержимое регистров адресов и данных приобретает нулевое значение. В регистре признаков SR устанавливается значение флага  $S = 1$  (режим супервизора), а другие флаги приобретают значение 0. Из ЯП с адресом \$000 осуществляется загрузка начального значения указателя SSR супервизора, а с ЯП с адресом \$004 – содержимого PC – начального адреса программы, которая выполняет загрузку определенных начальных значений содержимого SR, регистров адресов и данных, а также загрузку (инициализацию) регистров других устройств. Внешний сигнал  $\overline{RESET}$  обычно формируется во время включения питания или нажатии клавиши SB в схеме сбрасывания, условно изображенной на рис. 4.1. Сигнал  $\overline{RESET} = 0$  формируется также при выполнении привилегированной команды RESET, которая переводит в начальное состояние другие устройства МПС. Входной сигнал  $\overline{HALT} = 0$  останавливает (останов) выполнение текущей программы, переводит выводы  $A_{23}...A_1$ ,  $D_{15}...D_0$  в высокоимпендансное состояние (третье состояние), а выходы управляющих сигналов – в неактивное состояние. С аналогичной реакцией МП формирует выходной сигнал  $\overline{HALT} = 0$

при двойной ошибке шины (двукратное подряд поступление сигнала  $\overline{BERR} = 0$ ), выход из состояния остановки происходит при поступлении внешнего сигнала  $\overline{RESET} = 0$  или прерывания.

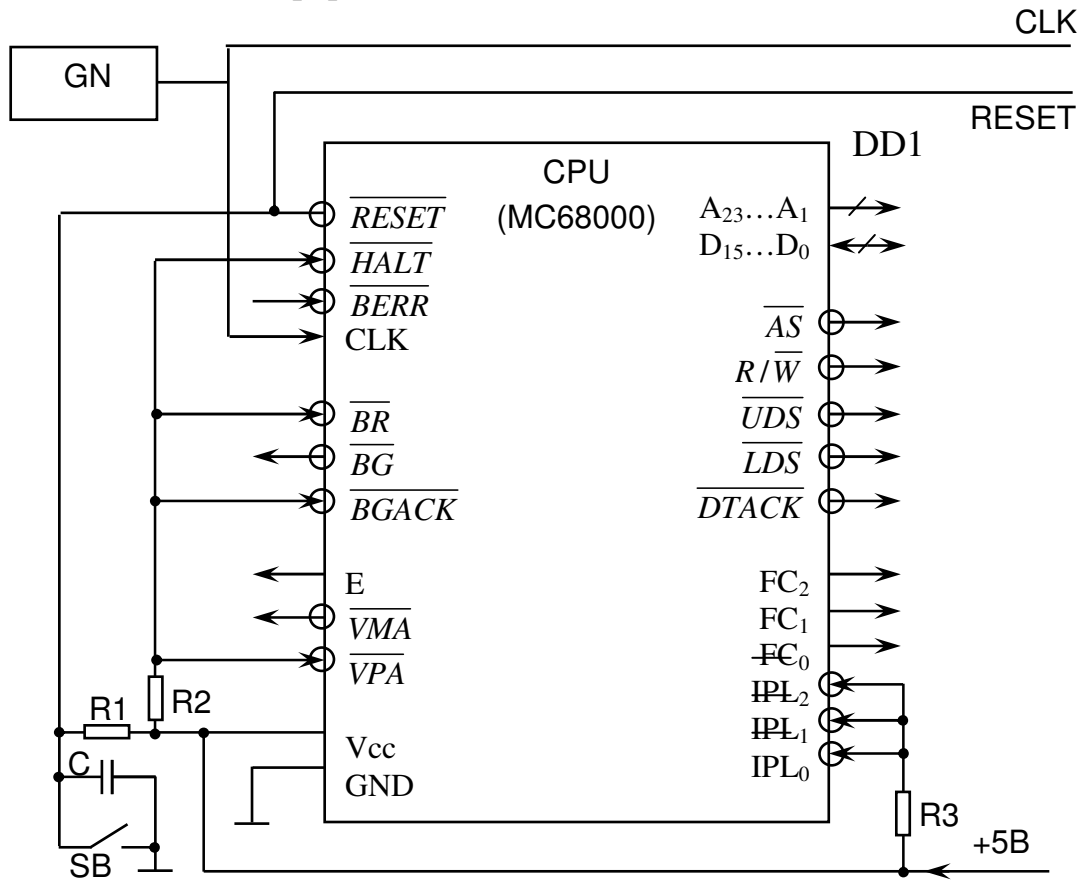


Рисунок 4.1 – Схема электрическая структурная блока микропроцессора

Сигнал ошибки обращения к шине  $\overline{BERR} = 0$  формируется контроллером шины, который определяет ошибку обращения по адресам неприсоединенных модулей ОП или периферийных устройств, а также из-за продолжительного отсутствия сигнала готовности к обмену  $\overline{DTACK} = 0$  от ПУ или ОП и т.п..

*Сигналы управления обменом.*  $\overline{AS}$  – адресный строб, который своим активным уровнем  $\overline{AS} = 0$  в тактах  $S_0$  и  $S_1$  в цикле обмена сопровождает адрес на ША (рис. 4.2).  $R/\overline{W}$  – сигнал, который определяет направление обмена по ШД: ввод к МП (чтение) – при  $R/\overline{W} = 1$ ; вывод из МП (запись), если  $R/\overline{W} = 0$ .  $\overline{UDS}$  (передача старшего байта),  $\overline{LDS}$  (передача младшего байта) – сигналы, которые определяют длину данных на ШД. Уровни  $\overline{UDS} = 0$ ,  $\overline{LDS} = 0$  определяют передачу слова. Младший байт передается, если  $\overline{UDS} = 1$  и  $\overline{LDS} = 0$ , старший –  $\overline{UDS} = 0$ ,  $\overline{LDS} = 1$ . Входной сигнал готовности к обмену  $\overline{DTACK} = 0$  поступает, если периферийное устройство или память – объекты обращения – готовы к обмену. Иначе –  $\overline{DTACK} = 1$ .

*Сигналы управления захвата шины.* Эти сигналы определяют порядок использования системной шины (в дальнейшем шины) устройствами системы. В режиме захвата шины МП отсоединяется от шины, а управление обменом осуществляет другое устройство. Чаще всего – это режим прямого доступа к

памяти (ПДП), когда осуществляется обмен между основной памятью (ОП) и каким-нибудь внешним устройством большими объемами данных без участия МП.  $\overline{BR}$  – входной сигнал запроса от внешнего устройства на захват шины. Если  $\overline{BR} = 0$ , МП завершает текущий цикл обмена, приостанавливает выполнение команды и переводит выходы  $A_{23...A_1}$ ,  $D_{15...D_0}$  в высокоимпедансное состояние, а выходы управляющих сигналов – в неактивное состояние.  $\overline{BG}$  – выходной сигнал разрешения захвата шины, который приобретает значение  $\overline{BG} = 0$  после разъединения МП с шиной.  $\overline{BGACK}$  – входной сигнал подтверждения захвата шины. После получения  $\overline{BG} = 0$  устройство, которое запросило разрешение на захват шины, посылает к МП сигналы  $\overline{BGACK} = 0$ , отменяет запрос на захват ( $\overline{BR} = 1$ ) и переходит к управлению шиной. После завершения обмена, указанное устройство посылает сигнал  $\overline{BGACK} = 1$ . Затем МП переходит к выполнению прерванной команды.

*Сигналы управления обменом с медленнодействующими ПУ.* Выходной сигнал  $E$  – тактовый сигнал для ПУ, частота которого в 10 раз меньше частоты сигнала CLK. На входной сигнал от ПУ готовности к обмену  $\overline{VPA} = 0$  МП устанавливает сигнал  $\overline{VMA} = 0$ , при этом происходит пересылка данных с увеличенным временем ввода или вывода. Адреса  $A_{23...A_1}$  и сигналы  $\overline{AS}$  и  $R/\overline{W}$  формируются как и при обычном программном обмене. Минимальная продолжительность цикла обмена составляет десять тактов.

*Выходные сигналы  $FC_2...FC_0$ .* Трехразрядный код  $FC_2...FC_0$  определяет тип выполняемого цикла. Соответствующие комбинации битов указанного кода используются для распределения банков данных между супервизором и пользователем, формирования сигнала подтверждения прерывания  $\overline{INTA}$ , а также позволяют идентифицировать текущее состояние МП в процессе настройки МПС.

*Входные сигналы  $IPL_2...IPL_0$ .* Трехразрядный код  $IPL_2...IPL_0$ , который поступает от приоритетного шифратора, определяет определенную подпрограмму обслуживания запроса на прерывание. Код 111 означает отсутствие запроса на прерывание.

Режим обмена определяет, какие выходы управляющих сигналов остаются незадействованными. Чтобы защитить МП от помех, на таких входных выводах в этом случае должны постоянно действовать неактивные логические уровни.

На рис. 4.1 все незадействованные входы – инверсные, поэтому на них условно показана подача неактивного высокого уровня через резисторы R от источника питания +5 В. Генератор тактовых импульсов GN формирует последовательности тактовых импульсов для МП и ПУ.

## 4.2. Блок основной памяти

Для построения блока основной памяти (ОП) используются стандартные модули ПЗУ и ОЗУ. При изображении схемы блока ОП целесообразно применять условно-графическое обозначение (УГО) указанных модулей, как представлено на рис. 4.3.

На рис. 4.3:  $A$  –  $N$ -разрядный адресный вход;  $DIO$  – объединенный  $M$ -разрядный вход-выход данных;  $\overline{CS}$  – вход сигнала «выбор модуля»;  $\overline{DE}$  – вход сигнала «включение модуля»;  $R/\overline{W}$  – вход сигнала «чтение/запись»;  $DO$  –  $M$ -разрядный выход данных. В схеме блока ОП  $N$  и  $M$  представляются соответствующими обозначениями битов адреса и данных, которые действуют на выводах  $A$ ,  $DIO$  и  $DO$ .

Количество сегментов ОП должно быть минимальным при их одинаковой вместительности. Каждый сегмент должен состоять из двух одинаковых банков-модулей, вместительность которых рекомендовано определять как  $2^n$  Кбайт ( $n = 1, 2, 3, 4, 5, 6$ ).

Рассмотрим конкретный пример построения блока ОП. На рис. 4.4 изображена структурная схема блока ОП, которая состоит из двух двухбанковых сегментов ПЗУ и ОЗУ вместительностью 32 Кбайт каждый, ячейки памяти которых адресуются битами  $A_{14} \dots A_1$ . Выбор (адресное обращение) определенного сегмента осуществляется с помощью дешифратора DC1. Информационные входы DC1 соответственно соединены с линиями ША, на которые воздействует группа битов  $N4$  ( $A_{16} A_{15}$ ).

Разрядность кода  $N4$  определяется общим количеством сегментов (включительно с сегментом ПУ). На вход  $\overline{OE}$  подается с МП управляющий сигнал  $\overline{AS}$ , который активизируется в тактах  $S_1 \dots S_3$  (см. рис. 4.2) циклов чтения и записи. Два выхода 0 и 1 DC1 соединены с входами  $\overline{CS}$  модулей банков соответствующих сегментов ОП. Активный уровень с выхода 2 DC1 предназначен для выбора сегмента ПУ. Активные уровни из других незадействованных выходов DC1 блокируются КШ. В рассматриваемом примере блокируется действие активного уровня с выхода 3 DC1.

Активные уровни с выходов 0 и 1 DC1 используются также как сигналы готовности к обмену соответствующих сегментов ОП.

Выводы  $A$  модулей всех сегментов ОП соединены с соответствующими линиями ША ( $A_{14} \dots A_1$  в рассматриваемом примере). Выводы  $DO$  и  $DIO$  модулей ПЗУ и ОЗУ младшего банка соответственно соединены с линиями  $D_7 \dots D_0$  ШД, а старшего банка – с линиями  $D_{14} \dots D_8$ .

Вообще, для любого количества сегментов ПЗУ входы  $\overline{DE}$  модулей младшего банка ПЗУ соединяются с выходом  $\overline{DE}_L$  ROM схемы включения банков (СВБ), а входы  $\overline{DE}$  модулей старшего банка ПЗУ соединяются с выходом  $\overline{DE}_H$  ROM СВБ. Активные уровни на указанных входах инициируют состояние «чтение» из соответствующих банков ПЗУ. Аналогично соединены входы  $\overline{DE}$  банков ОЗУ с выходами  $\overline{DE}_L$  RAM и  $\overline{DE}_H$  RAM СВБ. В этом случае активные уровни на указанных входах инициируют включение соответствующих банков ОЗУ. Входы  $R/\overline{W}$  всех модулей ОЗУ соединены с выходом  $R/\overline{W}$  СВБ. Функционирование СВБ объясняет таблица переключений 4.1, в которой  $\overline{DE}_H = 0$  – сигнал включения старшего банка данных ОЗУ или включение (чтение) старшего банка ПЗУ;  $\overline{DE}_L = 0$  – сигнал включения младшего банка ОЗУ или включение (чтение) младшего банка ПЗУ.



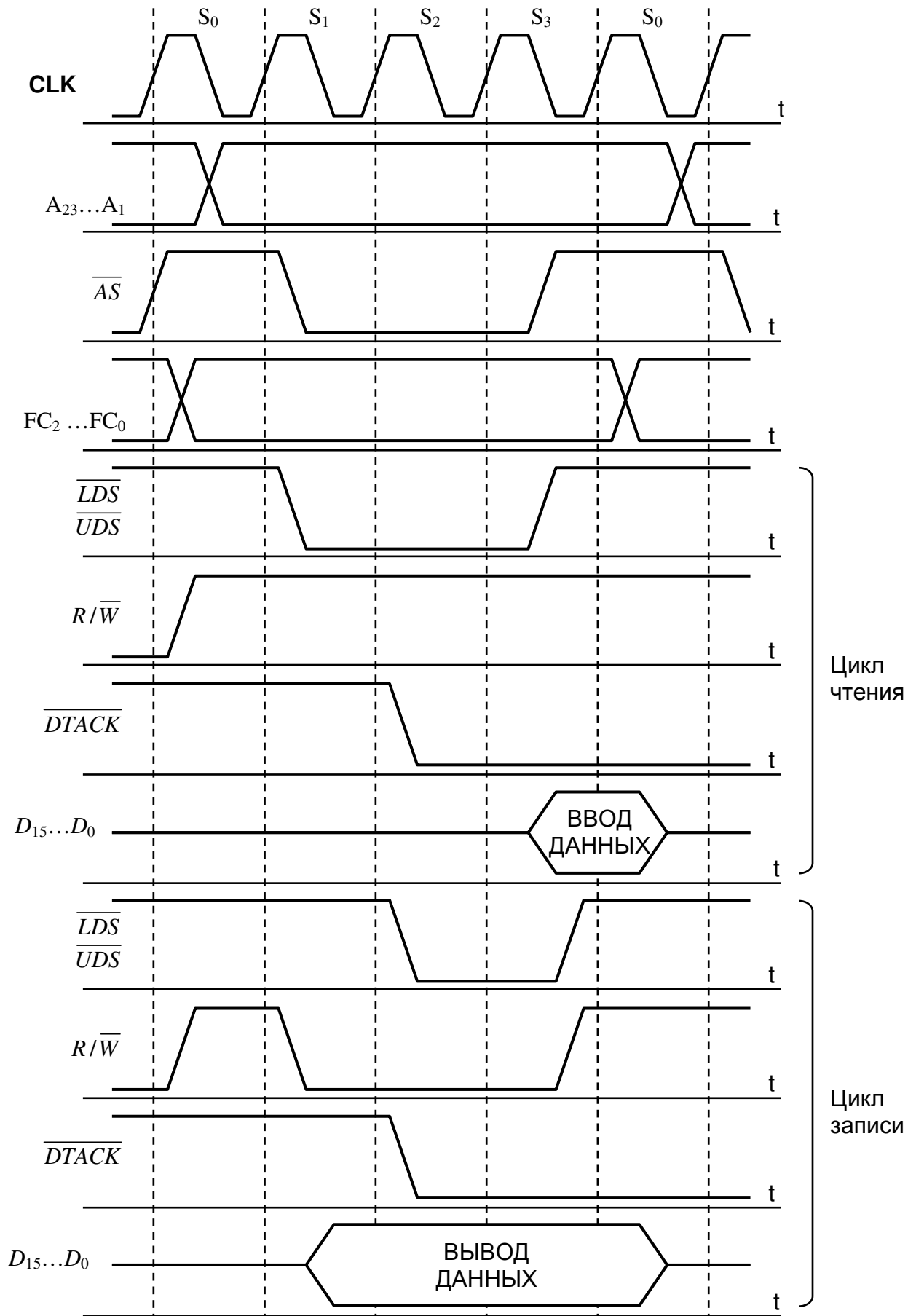


Рисунок 4.2 – Временные диаграммы работы МП MC68000 в циклах записи и чтения

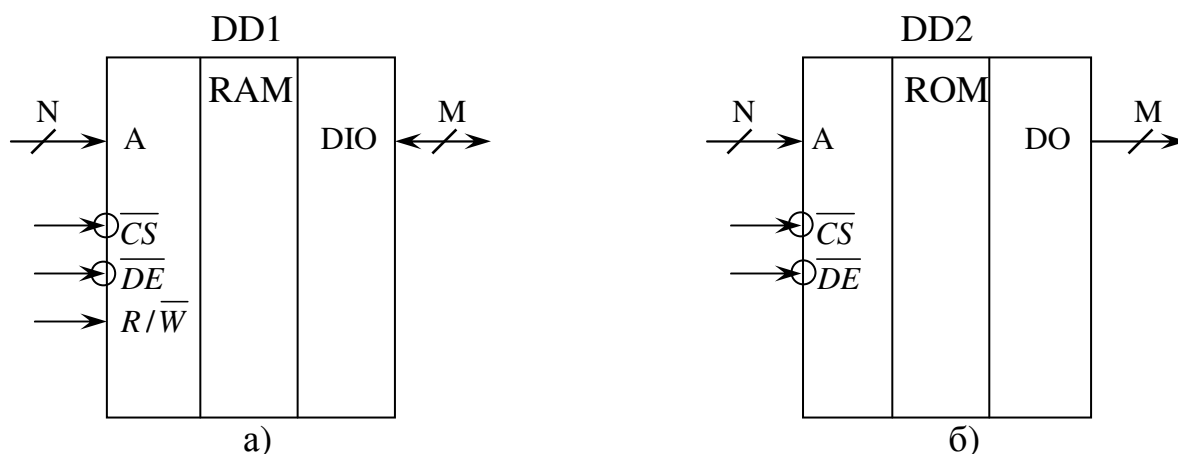


Рисунок 4.3 – УГО модулей ОП: а – ОЗУ; б – ПЗУ

Таблица 4.1 – Таблица переключений СВБ

	$\overline{UDS}$	$\overline{LDS}$	$R/\overline{W}$	ПЗУ		ОЗУ			Комментарий
				$\overline{DE}_H$	$\overline{DE}_L$	$\overline{DE}_H$	$\overline{DE}_L$	$R/\overline{W}$	
0	0	0	0	1	1	0	0	0	Запись слова в ОЗУ
1	0	0	1	0	0	0	0	1	Чтение слова из ПЗУ, ОЗУ
2	0	1	0	1	1	0	1	0	Запись старшего байта в ОЗУ
3	0	1	1	0	1	0	1	1	Чтение старшего байта с ПЗУ, ОЗУ
4	1	0	0	1	1	1	0	0	Запись младшего байта в ОЗУ
5	1	0	1	1	0	1	0	1	Чтение младшего байта с ПЗУ, ОЗУ
6, 7	1	1	X	1	1	1	1	X	Отсутствующий доступ

Автору курсовой работы (КР) предлагается синтезировать логическую структуру СВБ, пользуясь табл. 4.1.

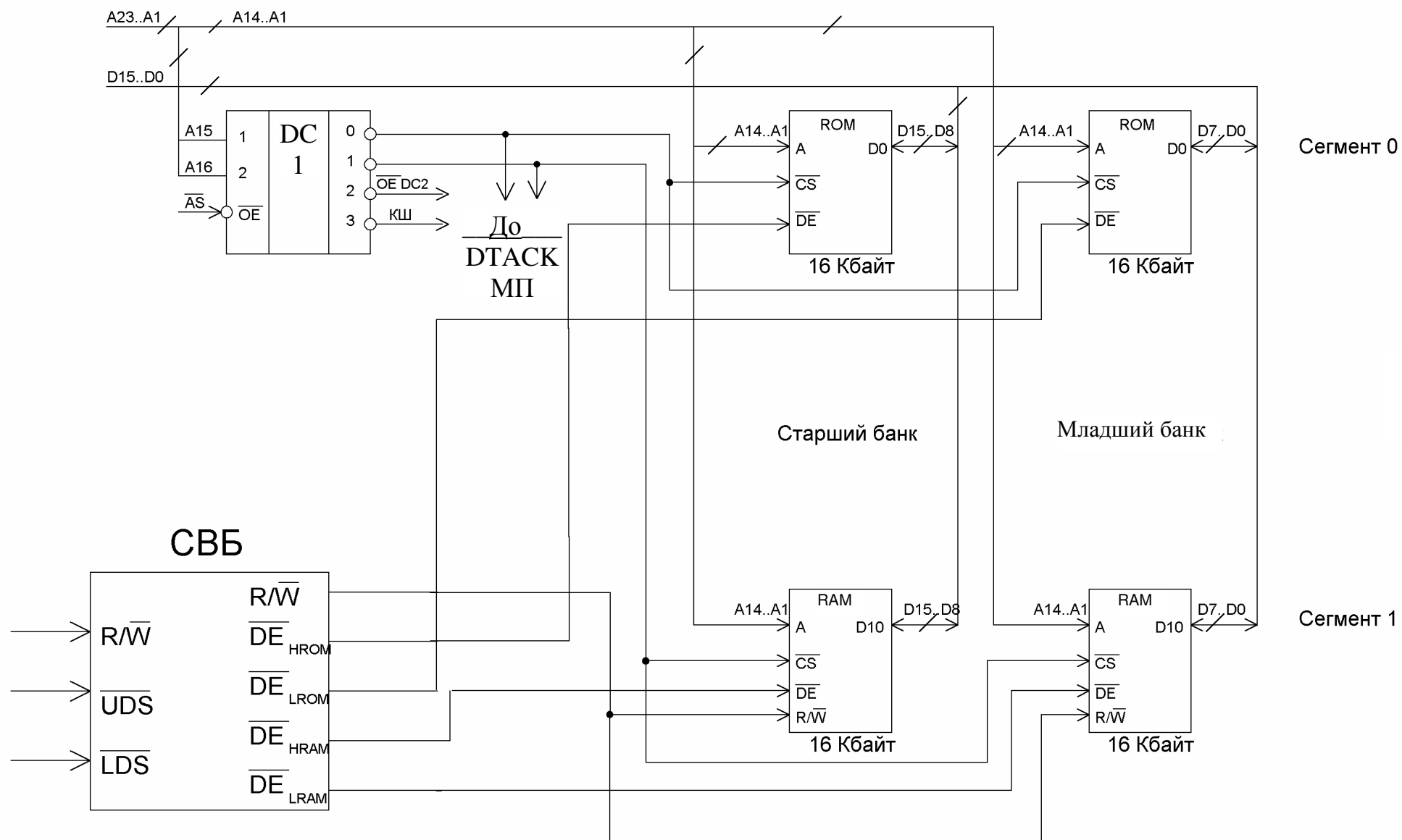


Рисунок 4.4 – Схема электрическая структурная ОП

### 4.3. Блоки периферийных устройств

Согласно вариантам заданий к КР количество ПУ – 2...4. Выбор того или иного ПУ осуществляется с помощью кода группы битов N2 адреса, который декодируется дешифратором DC2. DC2 должен иметь вход включения ( $\overline{OE}$ ), который соединяется с соответствующим выходом DC1. Инверсные выходы DC2 соответственно соединяются с входами  $\overline{CS}$  (выбор модуля) ПУ. Сигналы из незадействованных выходов должны поступать к КШ, который блокирует неправильное обращение к ПУ.

Адресное обращение к трем ПУ определяется группой N2 битов  $A_7A_6$ : 00, 01, 10 ( $A_7A_6 = 11$  – неправильное обращение). Схема дешифратора DC2 изображена на рис. 4.5. В случае четырех ПУ будут задействованы все выходы DC2 для выбора определенных ПУ.

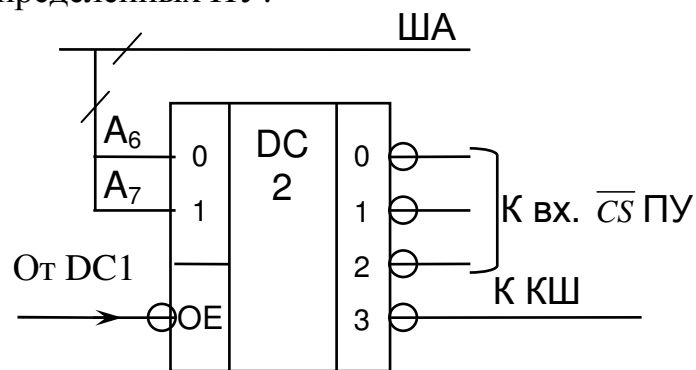


Рисунок 4.5 – Схема электрическая структурная дешифратора DC2

#### 4.3.1. Блок параллельного интерфейса-таймера

Основой схемы блока DD1 ПИ/Т (рис. 4.6) является ИМС MC68230 [3]. Управляющие сигналы  $R/\overline{W}$ ,  $\overline{RESET}$  поступают из соответствующих выходов МП MC68000,  $CLK$  – от GN. Сигнал готовности к обмену  $\overline{DTACK}$  поступает на соответствующий вход МП через ИМС DD2 И, другие входы которого соединяются с выводами  $\overline{DTACK}$  модулей других ПУ и выходами 0 и 1 DC1 и сигналы которых является сигналами выбора сегментов ОП. Через выводы  $D_7...D_0$ , которые соединяются с соответствующими линиями ШД, осуществляется обмен данными с МП.

Выводы  $RS_5...RS_1$  соответственно соединяются с линиями  $A_5...A_1$ . Указанными линиями ША передается код, который определяет конкретный регистр, использующийся при программировании MC68230 или при обмене данными с МП.

Выводы  $H_4...H_1$ , в зависимости от режима обмена, используются в определенных комбинациях для передачи данных или управляющих сигналов.

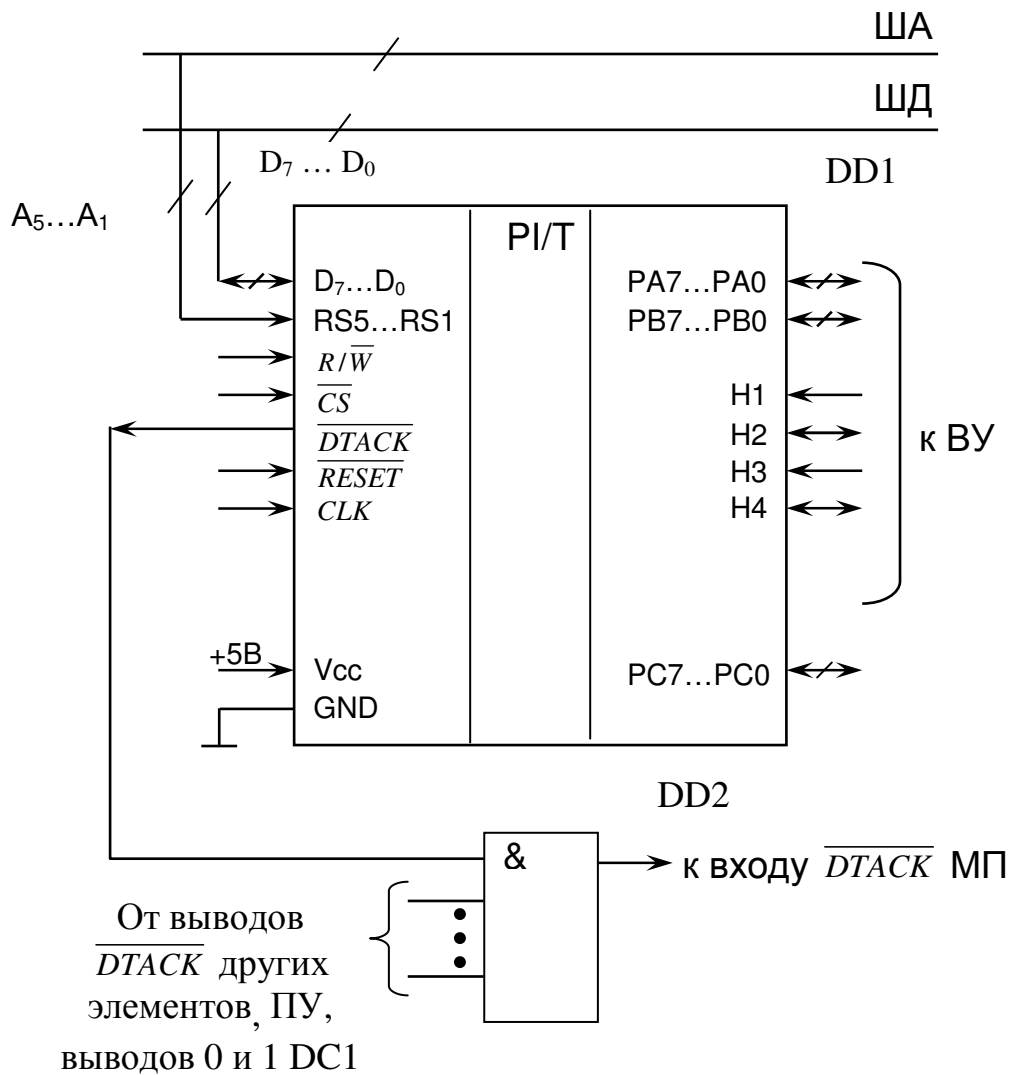


Рисунок 4.6 – Схема электрическая структурная блока ПИ/Т (ИМС MC68230)

Через выходы PA7...PA0 и PB7...PB0 (порты А и В) осуществляется обмен данными с внешними устройствами (ВУ) в параллельном формате.

Через выходы PC7...PC0 (порт С) осуществляется, в зависимости от режима обмена, или обмен данными в параллельном формате с ВУ, или передача управляющих сигналов, которые обслуживают таймер, сопровождая обмен в режимах захвата шины и прерывания. Пользуясь вышеприведенным описанием, можно составить схему блока ПИ/Т и из большего количества ИМС MC68230.

#### 4.3.2. Блок двояного асинхронного приемо-передатчика

Блок САП/П, согласно с рассмотренным примером, состоит из двух ИМС MC68681 [4] с цепочками блокирования входа сигнала подтверждения прерывания  $IACK$  от МП. Ниже описаны назначения выводов ИМС MC68681 (рис. 4.7) и их соединение с выводами МП и ША и ШД [4]. Через выходы D7...D0 осуществляется двунаправленный обмен данными с МП в параллельном формате одноименными линиями ШД. На входы RS4...RS1, которые

соединяются соответственно с линиями А4...А1 ША, поступает от МП код выбора регистра САП/П, используемого при программировании МС68681 или при обмене данными между МП и САП/П. Входы управляющих сигналов  $R/\overline{W}$ ,  $\overline{RESET}$  соединяются с соответствующими выводами МП, X1/CLK – с GN, вывод X2 заземляется.

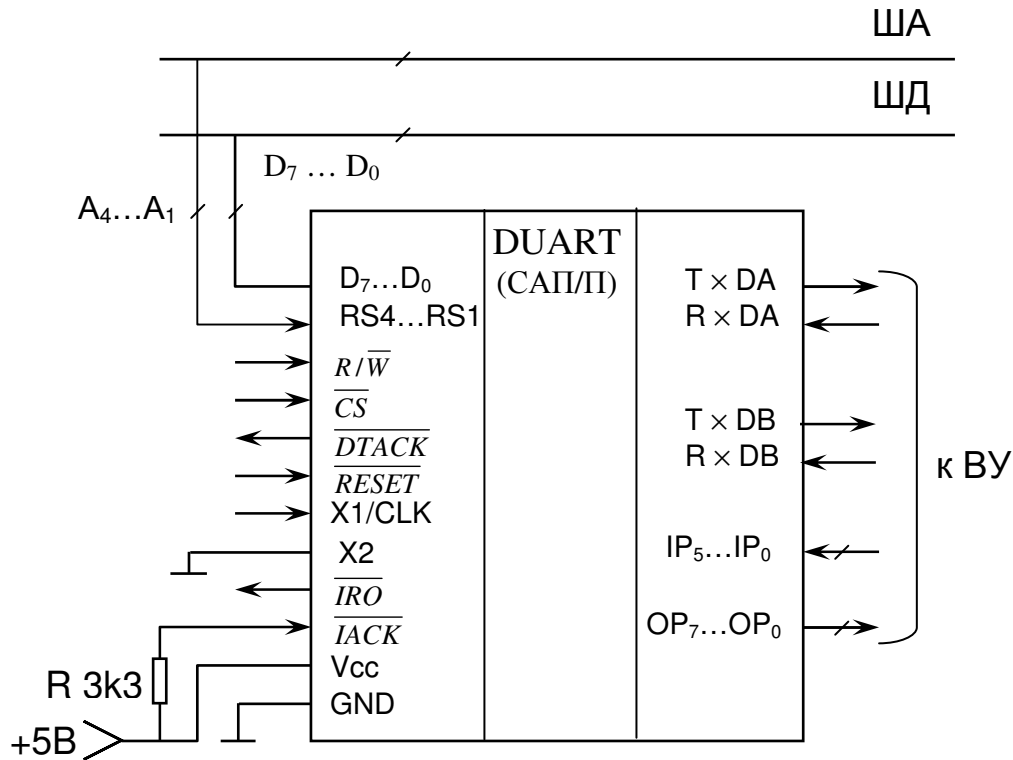


Рисунок 4.7 –Схема электрическая структурная САП/П (ИМС МС68681)

Выход  $\overline{DTACK}$  через ИМС DD2 И (см. рис. 4.6) соединяется с соответствующим входом МП. Вход  $\overline{CS}$  соединяется с соответствующим выходом DC2. Вывод  $\overline{IRQ}$  (запрос прерывания к МП) не используется в режиме программного обмена. Входной вывод  $\overline{IACK}$  (подтверждение прерывания от МП) блокируется. Через вывод TxDA или TxDB осуществляется передача данных к ВУ в последовательном формате соответственно через канал А или В САП/П, через вывод RxDА или RxDВ – соответственно прием данных.

IP<sub>5</sub>...IP<sub>0</sub> – выводы порта ввода данных в параллельном формате от ВУ. OP<sub>7</sub>...OP<sub>0</sub> – выводы порта вывода данных к ВУ в параллельном формате.

В альтернативном варианте через выводы указанных портов передаются сигналы, которые обеспечивают взаимодействие САП/П с ВУ при передаче и приеме данных через каналы А и В в последовательном формате.

Пользуясь вышеприведенным описанием нетрудно составить логическую схему блока ПАП/П с большим количеством ИМС МС68681. Выводы, через которые ПИТ/Т и САП/П взаимодействуют с ВУ, при изображении логической схемы МПС следует оставить незадействованными.

#### 4.4. Контроллер шины

Назначение КШ – формирование активного уровня (логического нуля) на входе  $\overline{BERR}$  МП в случае неправильного адресного обращения. На входе КШ (рис. 4.8) поступают группы бит  $N5$ ,  $N3$  и бит  $A_5$  с ША, а также сигналы с незадействованных выходов  $DC1$ ,  $DC2$ . Выход КШ соединяется с входом  $\overline{BERR}$  МП. При всех адресных обращениях код  $N5$  должен иметь определенное фиксированное значение, а на незадействованных выходах  $DC1$  и  $DC2$  должны действовать неактивные уровни. Фиксированное значение должен иметь код  $N3$  при обращении к ПУ и бит  $A_5$  – при обращении к САПП.

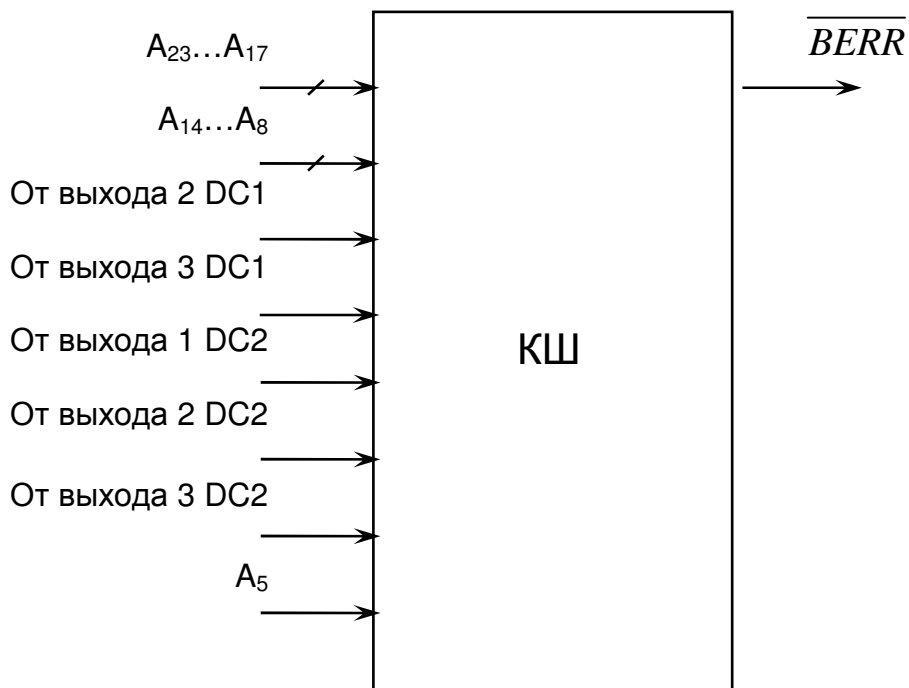


Рисунок 4.8 – Схема электрическая структурная контроллера шины

Если отсутствуют определенные ограничения, целесообразно, с точки зрения простоты логической структуры КШ, придать кодам  $N5$ ,  $N3$  и  $A_5$  нулевые значения при соответствующих адресных обращениях. Тогда для рассматриваемого примера  $A_5 = A_{23} + \dots + A_{17} = 0$  при любом адресном обращении,  $A_3 = A_{14} + \dots + A_8 = 0$  при обращении к ПУ,  $A_5 = 0$  – при обращении к САПП. Логика функционирования КШ в этом случае предопределяется такими состояниями его входов и выхода:

$$A_5 = 1, \overline{BERR} = 0;$$

$$\text{Вывод 3 DC1} = 0, \overline{BERR} = 0;$$

$$\text{Вывод 2 DC1} = 0, A_3 = 1, \overline{BERR} = 0;$$

$$\text{Вывод 3 DC2} = 0, \overline{BERR} = 0;$$

$$\text{Вывод 1 и 2 DC2} = 0, A_5 = 1, \overline{BERR} = 0.$$

Автору КР предлагается разработать логическую структурную схему КШ для рассматриваемого примера, а также и схему для варианта задания.

## 5. СТРУКТУРА ЛОГИЧЕСКОЙ СХЕМЫ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Разработанные логические структуры отдельных блоков объединяются в логическую структуру МПС. Выводы сигналов адресов и данных отдельных элементов и модулей соответственно соединяются через стандартно изображенные ША и ШД. Выводы управляющих сигналов целесообразно также соответственно соединить через ШК с соответствующим обозначением выводов от нее. Обозначение элементов схемы выполняются согласно стандартным обозначениям элементов цифровых устройств.

## 6. ПРОГРАММИРОВАНИЕ РЕЖИМОВ ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА-ТАЙМЕРА

Программирование режимов программного обмена через порты А и В ПИ/Т ИМС МС68230 [3] состоит из инициализации регистра управления режимом работы портов (PGCR), регистров направления передачи данных через порты А(PADDR) и В(PBDDR), регистров управления подрежимами портов А(PACR) и В(PBCR). Пересылка данных происходит через регистр PADR (порт А) или через регистр PBDR (порт В). Указанные регистры – восьмибитовые. При обращении к ПИ/Т адреса указанных регистров определяют коды  $A_5...A_1$  (табл. 6.1) и  $A_0 = 1$ .

Порты А и В для двухбуферизированной передачи имеют еще дополнительные неадресованные регистры данных – соответственно PACDR и PBCDR, которые разрешают сохранять информацию, если необходимо ввести новые данные до того, как предыдущие данные будут прочитаны МП, или вывести последующие данные с МП до того, как предыдущие будут выведены в ВУ. При такой передаче происходит поочередное записывание данных сначала в одном регистре данных, потом во втором, затем - вывод или ввод через порт.

Однобуферизированная передача сопровождается записыванием лишь в одном регистре данных. Незаписанная передача – это передача без фиксирования в регистрах данных. Обмен данными через порты А и В может осуществляться в четырех режимах.

*Режим 0.* Оба порта – восьмибитные. Выводы портов могут быть настроены на ввод или вывод побитно. Каждый порт может функционировать в трех подрежимах:

- двубуферизированный вход, однобуферизированный выход (00);
- незащелкивающийся вход, двубуферизированный выход (01);
- незащелкивающийся вход, однобуферизированный выход (1X).



Таблица 6.1 – Коды  $A_5...A_1$ – адрес регистров MC68230

Коды $A_5...A_1$ (выводы RS5...RS1)	Обозначение регистра	Название регистра
0 0 0 0 0	PGCR	Регистр управления режимом работы портов
0 0 0 1 0	PADDR	Регистр направления порта А
0 0 0 1 1	PBDDR	Регистр направления порта В
0 0 1 1 0	PACR	Регистр управления порта А
0 0 1 1 1	PBCR	Регистр управления порта В
0 1 0 0 0	PADR	Регистр данных порта А
0 1 0 0 1	PBDR	Регистр данных порта В

*Режим 1.* Восемьбитовые порты А и В объединяются в один 16-ти битовый порт В, выходы этого порта могут быть настроены на ввод или вывод побитно. Возможно два подрежима функционирования:

- двубуферизированный вход, однобуферизированный выход (X0);
- незащелкивающийся вход, двубуферизированный выход (X1).

Для квитирования (подтверждения) используются выходы Н3 и Н4 (Н1 и Н2 могут использоваться как обычные линии ввода/вывода (Н1 – только ввод)).

*Режим 2.* Двухнаправленный двубуферизированный ввод/вывод через порт В. Порт А настраивается побитно на незащелкивающийся вход и однобуферизированный выход. Выводы Н1 и Н2 используются для подтверждения вывода, а Н3 и Н4 – ввод через порт В.

*Режим 3.* Расширенный вариант режима 2 – двухнаправленный двубуферизированный ввод/вывод через 16 битовый объединенный порт (порты А и В).

Вывод данных через определенные выходы портов А и В определяют программно занесенные единицы по соответствующим разрядам регистров PADDR и PBDDR, а ввод - нули.

Коды инициализации регистра PGCR на определенные режимы обмена приведены в табл. 6.2, регистров PACR и PBCR – в табл. 6.3. Для инициализации указанных регистров, а также ввод/вывод данных используются команды пересылки (см. пример). Используемые адреса регистров определяются в зависимости от конфигурации МПС и ее характеристик.

### 6.1. Пример инициализации параллельного интерфейса-таймера

Пусть МПС состоит из двух сегментов ОП по части адресов, вместительностью 32 Кбайт каждый, и сегмента ПУ, в котором содержатся один ПИ/Т и два САП/П. Надо настроить ПИ/Т на подрежим X0 режима 1 обмена данными. Указанный подрежим предусматривает двубуферизированный ввод или однобуферизированный вывод 16 битовых данных через объединенный порт А и В [2].

Таблица 6.2 – Коды инициализации PGCR (00000)

Б и т ы	7	Режим	$\frac{0}{0}(0)$	$\frac{0}{1}(1)$	$\frac{1}{0}(2)$	$\frac{1}{1}(3)$
	6					
	5	Разрешение (1) Н3, 4	1(0;1X)	1	1	1
	4	Разрешение (1) Н2, 1	1(0;1X)	1	1	1
	3	Активный уровень Н4	1(0)	1(0)	1(0)	1(0)
	2	Активный уровень Н3	1(0)	1(0)	1(0)	1(0)
	1	Активный уровень Н2	1(0)	1(0)	1(0)	1(0)
	0	Активный уровень Н1	1(0)	1(0)	1(0)	1(0)
1(0) – или 1, или 0. (0;1X) – 0 в подрежиме 1X.						

Таблица 6.3 – Коды инициализации PACR и PBCR

Регистр		PACR							PBCR						
Бит	Режим	0			1		2	3	0			1		2	3
7	Подре- жим	0	0	1	X(0)	X(0)	X(0)	X(0)	0	0	1	X(0)	X(0)	X(0)	X(0)
6		0	1	X	0(0)	1(0)	X(0)	X(0)	0	1	X	0(0)	1(0)	X(0)	X(0)
5	Управле- ние Н2(Н4)*	1	1	0	0	1	X	X	1	1	0	1	1	X	X
4		1	1	X	X	1	X	X	1	1	X	1	1	X	X
3		0	0	X	X	0	0	0	0	0	X	0	0	0	0
2	Разреше- ние на прерыва- ние по Н2(Н4)	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	Управле- ние Н1(Н3)**	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0		X	1	X	X	X	0	0	X	1	X	X	X	X	X

\* Н2 – для PACR и Н4 – для PBCR;

\*\* Н1 – для PACR и Н3 – для PBCR;

X – неопределенное значение бита.

В скобках представлены значения битов 7 и 6 в соответствующих подрежимах указанных обозначением битов и скобок.

Из табл. 6.2 определяется код инициализации 00000000 регистра PGCR в двоичной системе исчисления. Коды инициализации регистров PACR и PBCR соответственно будут 00000000 и 00110000 (табл. 6.3). Для вывода данных код инициализации регистров PADDR и PBDDR будет 00000000, вывод – 11111111.

Исполнительные адреса регистров, которые подлежат инициализации, состоят из совокупности групп бит  $N_5N_4N_3N_2N_1A_0$ . Для рассматриваемого примера  $A_0 = 1$  (передача младшего байта при инициализации регистров ПИ/Т);  $N_1$  состоит из битов  $A_5...A_1$ , которые определяются из табл. 6.1;  $N_2$  состоит из битов  $A_7A_6$  (три ПУ) и определяет двоичный номер ПИ/Т – 00;  $N_3$  из битов  $A_{14}...A_8$ , значения которых фиксируются равными 0;  $N_4$  состоит из битов  $A_{16}A_{15}$  (три сегмента) и определяет номер сегмента ПУ – 10;  $N_5$  состоит из битов  $A_{23}...A_{17}$ , которые имеют фиксированное значение – 0.

В случае передачи 8-битовых данных исполнительные адреса регистров PADR и PBDR определяются аналогичным способом. При передаче 16-битовых данных адресом регистра данных объединенного порта А и В будет парный адрес ( $A_0 = 0$ ) регистра PBDR.

Определенные таким способом исполнительные адреса регистров ПИ/Т для рассматриваемого примера приведены в табл. 6.4.

Таблица 6.4 – Исполнительные адреса регистров ПИ/Т

Регистр	АДРЕСА	
	В	\$
PGCR	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 (0 0 0 0 0) 1	1 0 0 0 1
PACR	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 (0 0 1 1 0) 1	1 0 0 0 D
PBCR	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 (0 0 1 1 1) 1	1 0 0 0 F
PADDR	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 (0 0 0 1 0) 1	1 0 0 0 5
PBDDR	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 (0 0 0 1 1) 1	1 0 0 0 6
PBDR	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 (0 1 0 0 1) 0	1 0 0 1 2
В – двоичная, \$ – шестнадцатеричная системы исчисления В скобках – адресуемый код $A_5...A_1$ регистра		

Последовательность команд программной инициализации регистра PGCR может быть такая:

MOVEQ #00, D<sub>1</sub> ; Загрузка регистра D<sub>1</sub> кодом инициализации 0

MOVEA.L #10001, A<sub>1</sub> ; Загрузка регистра A<sub>1</sub> адресом 10001H

MOVE.B D1, (A1) ; Пересылка кода инициализации к регистру

; PGCR

Подобно выглядят последовательности команд инициализации других регистров ПИ/Т.

Для вывода 16-битового операнда через 8-битовый ПУ используется специальная команда:

MOVEP  $D_n, (0, A_n)$  ; Вывод слова (данных) из регистра данных  $D_n$  МП через объединенный порт А и В ПИ/Т. В регистре  $A_n$  – адрес регистра PBDR.

Ввод слова данных происходит при выполнении команды MOVEP  $(0, A_n), D_n$ .

Для пересылки 8-битового операнда используется обычная команда MOVE.

Примечание.

Правила оформления курсовой работы приведены в приложениях А, Б, В, Г.

## ЗАКЛЮЧЕНИЕ

В методических указаниях к выполнению курсовой работы показаны пути разработки МПС на основе МП MC68000 фирмы “Motorola”. Описаны основные блоки МПС, а также показаны пути разработки её логической схемы. Показаны пути разработки логической схемы по части выбора банков памяти и контроллера шины. Приведен образец программы инициализации ПИ/Т.

## СПИСОК ОСНОВНОЙ ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. Проектирование микропроцессорной электронно-вычислительной аппаратуры. Справочник [ В.Г. Артюхов, А.А. Будняк, В.Ю. Лапий и др.]. – К.: Техника, 1988. – 263 с.
2. Шагурин И. И. Современные микроконтроллеры и микропроцессоры “Motorola”: Справочник / И.И. Шагурин. – М.: Горячая линия – Телеком, 2004. – 952 с.
3. MC68230. Parallel Interface / Timer (PI/T) /Advance Information, Motorola INC, 1983. – 28 с.
4. MC68681. Dual Asynchronous Receiver / Transmitter (DUART) / Advance Information, Motorola INC, 1985. – 32 с.
5. Методичні вказівки до курсової роботи «Мікропроцесорна система М6800» з дисципліни «Обчислювальна техніка та мікропроцесори» для спеціальностей 6.0924, 6.0907, 6.0925 / Укл. В.Ф. Літовкін. – Одеса, ОНАЗ ім. О.С. Попова, 2004, 23 с.

## ПРИЛОЖЕНИЕ А

### Требования к пояснительной записке

Расчетно-пояснительная записка (ПЗ) выполняется рукописным или машинописным способом на одной стороне бумажного листа формата А4 (210x297) по ГОСТ 27301-68. На формате А4 вычерчивают внутреннюю рамку, удаленную от левой стороны листа на 20 мм и на 5мм от остальных трёх сторон листа. Внутри рамки, внизу (формат А4) или справа внизу (формат А3) выполняют основную надпись согласно рис. Г, а, б, в (см. приложение Г) в соответствии с ГОСТ 2.104-68 (см. также приложения В).

Состав пояснительной записки:

1. Титульный лист (см. приложение Б).
2. Содержание (см. приложение В).
3. Задание на курсовую работу (см. табл. 2.1).
4. Введение.
5. Теоретическая часть.
6. Расчётная часть.
7. Заключение .
8. Список основной использованной литературы.
9. Перечень необходимых приложений.

Все рисунки выполняются вручную или с помощью технических средств (принтера и т.п.) на белой бумаге, кальке или миллиметровой бумаге форматов А4, А3 и т.п. Основные надписи (см. приложение Г) помещаются внизу внутренней рамки листа формата А4 (210x297) или в правом нижнем углу внутренней рамки формата А3 (420x297).

Основные справочные данные на активные элементы, применяемые в проектируемом устройстве должны быть приведены в пояснительной записке по ходу изложения материала.

При окончательном оформлении курсовой работы листы пояснительной записки нумеруются все, начиная со второго листа и сшиваются (титульный лист является первым и не нумеруется).

**ПРИЛОЖЕНИЕ Б**

МИНИСТЕРСТВО ИНФРАСТРУКТУРЫ УКРАИНЫ  
Государственная служба связи  
Одесская национальная академия связи им. А.С. Попова

Кафедра программного обеспечения сетей связи

УТВЕРЖДАЮ

зав. каф. доц. \_\_\_\_\_ А.М. Тигарев  
«\_\_\_\_» \_\_\_\_\_ 2011 г.

РАЗРАБОТКА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ M68000

---

(название курсовой работы)

РАСЧЕТНО-ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

\_\_\_\_\_  
Вариант №

(№ варианта, шифр, обозначения документа)

Курсовая работа  
по дисциплине “Вычислительная техника и микропроцессоры”

Оценка:

Руководитель проекта

доц. \_\_\_\_\_ И.Н. Николенко  
«\_\_\_\_» \_\_\_\_\_ 2011 г.

Проектировал студент ОНАС им. А.С. Попова,  
гр. \_\_\_\_\_  
«\_\_\_\_» \_\_\_\_\_ 2011 г.

Одесса – 2011

## ПРИЛОЖЕНИЕ В

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ .....	40
1. ЦЕЛЬ КУРСОВОЙ РАБОТЫ .....	40
2. ЗАДАНИЕ К КУРСОВОЙ РАБОТЕ .....	40
3. СТРУКТУРНАЯ СХЕМА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ .....	42
4. ЛОГИЧЕСКАЯ СХЕМА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ .....	43
4.1. Блок микропроцессора .....	45
4.2. Блок основной памяти .....	47
4.3. Блоки периферийных устройств .....	52
4.3.1. Блок параллельного интерфейса-таймера .....	52
4.3.2. Блок сдвоенного асинхронного приёмника-передатчика.....	53
4.4. Контроллер шины .....	55
5. СТРУКТУРА ЛОГИЧЕСКОЙ СХЕМЫ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ.....	56
6. ПРОГРАММИРОВАНИЕ РЕЖИМОВ ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА-ТАЙМЕРА .....	56
6.1 Пример инициализации параллельного интерфейса-таймера .....	57
ЗАКЛЮЧЕНИЕ .....	60
СПИСОК ОСНОВНОЙ ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ.....	60
Приложение А .....	61
Приложение Б.....	62
Приложение В .....	63
Приложение Г.....	64

*Примечание.* Приложение В необходимо выполнять с учетом внутренней рамки и указанием страниц заголовков содержания .

					ОНАС 6.050903ПЗ					
Изм.	Лист	№ докум.	Подп.	Дата						
Разраб.		Иванов А.А.			Расчетно-пояснительная записка					
Пров.		Николенко И.Н.						Лит.	Лист	Листов
								У	Р	
Н контр.								ОНАС им. А.С. Попова		
Утв.								гр.		

## ПРИЛОЖЕНИЕ Г

						Лист
Изм.	Лист	№ докум.	Подп.	Дата		

а)

Изм.	Лист	№ докум.	Подп.	Дата				
Разраб.						Лит.	Лист	Листов
Пров.								
Н контр.								
Утв.								

б)

Изм.	Лист	№ докум.	Подп.	Дата		Лит.	Масса	Масш.
Разраб.								
Пров.								
Т. Контр.						Лист	Листов	
Н контр.								
Утв.								

в)

Рисунок Г – Основные надписи (штампы): а – для текстов; б – для текстовых документов [содержание (оглавление), перечень документов и т.п.]; в – для чертежей, схем и спецификаций.

Примечание. Габаритные размеры основных надписей на рис. Г:

- а – 185x15 мм;

- б – 185x40 мм;

- в – 185x55 мм;